

*le
guépard*



MANUEL TECHNIQUE



MANUEL TECHNIQUE



Copyright version originale © 1984

Toute reproduction, même partielle, par quelque procédé que ce soit, est interdite sans autorisation écrite préalable. Une copie ou reproduction par xérographie, photographie, film, bande magnétique ou autre constitue une contrefaçon passible des peines prévues par la loi sur la protection des droits d'auteur.

Printed in France. Worl rights reserved.

PREAMBULE

Ce manuel technique n'a pas la prétention d'être une encyclopédie ou un cours de micro-électronique.

Il permet seulement de donner la structure électronique du Guépard en distinguant, chaque type de carte.

Puis sur chaque carte, distinguer chaque fonction en donnant le composant principal.

Une explication succincte des parties fonctionnelles aidera très certainement l'utilisateur du Guépard, tant au niveau logiciel qu'au niveau électronique, à maîtriser sa machine.

Pour le microélectronicien qui connaît bien les composants électroniques, ce manuel sera un très bon aide mémoire.

Pour le microinformaticien, ce manuel sera un guide vers des ouvrages plus détaillés.

Toutes les critiques au sujet de ce manuel seront les bienvenues.

Grâce au Club Guépard, une mise à jour pourra être ainsi effectuée.

L'auteur

Q.C.

DESCRIPTIF GENERAL

GENERALITES

Le GUEPARD est un Micro-Ordinateur complet.

intégrant : **une sauvegarde totale** sur batterie :
d'une heure environ en interne.
plusieurs heures en externe.
elle assure le fonctionnement complet de l'appareil.

un moniteur vidéo monochrome haute résolution 12 pouces.
(vert ou ambre) anti-reflet.

2 lecteurs de disquettes double face double densité.
(40 ou 80 pistes) en 5 pouces 1/4.

1 clavier détachable 102 touches à gestion logiciel.
(QWERTY / AZERTY interchangeables).

1 bloc calculateur extensible
— Z 80 A, 4 MHz.
— 64 KO mémoire centrale.

de nombreuses entrées/sorties
— parallèle : centronics
— série : RS 232 C
— Péritel : RVB (32 couleurs)
— crayon optique
— cassette.

deux logiciels d'exploitation en version Française
— Le NEWDOS 80 . 2 . Ø G
— Le CP/M + . R3

trois manuels évolutifs
— Manuel d'utilisation et Systèmes d'exploitation
— Manuel SBASIC sous NEWDOS 80 . 2 . Ø G
— Manuel Technique

CARACTERISTIQUES TECHNIQUES

Microprocesseur	Z 80 A - 4 MHz
Mémoire vive	64 KO RAM
Mémoire morte	4 KO ROM
Vidéo processeur	68B45
Vidéo RAM	4 KO RAM
Contrôleur de disques	WD 1791
Contrôleur RS 232 C	WD 8250
Générateur de son	AY3/8910 3 canaux
Horloge temps réel	MSM 5832
Clavier	102 touches 15 fonctions Pavé numérique Cabochons interchangeables.
Lecteur de disque	Double face Double densité 40 pistes (360 K) 011/021/031 80 pistes (720 K) 012/022/032
Affichage vidéo	24 lignes / 80 colonnes inverse / Flasch / 1/2 ton
Ecran	32 couleurs 12" vert 011/012 12" ambre 021/022 12" couleur 031/032
Dimensions	45 x 55 x 34 cm
Poids	25 kg.
Alimentation	sect. : 220 V batt. : 12 V 6 A/H
Consommation	maxi : 200 W moyenne : 60 W
Capacité maxi	5 V : 8 A
pour extensions	12 V : 5 A
	- 12 V : 50 mA

LE LOT DE BASE

- Il comprend :
- le BLOC UNITE CENTRALE
 - Le CLAVIER 102 TOUCHES
 - 1 câble secteur
 - 1 Manuel UTILISATION et systèmes d'exploitation
 - 1 Manuel SBASIC
 - 1 Manuel technique
 - 1 Disquette NEWDOS 80.2.0G 80 colonnes
 - 1 Disquette NEWDOS 80.2.0G 64 colonnes
 - 1 Disquette CPM + 3
 - LA GARANTIE 1 AN Pièces et main d'oeuvre
 - L'ABONNEMENT AU CLUB GUEPARD :
pour 6 mois.

SOMMAIRE

- MT1 - INTRODUCTION
- MT2 - CARTE UNITE CENTRALE
- MT3 - CARTE MERE
- MT4 - CARTE VIDEO
- MT5 - CARTE DISQUE
- MT6 - CARTE ALIMENTATION

APPENDICES

- MTA - TABLEAU DES CONNECTEURS DU GUEPARD
- MTB - TABLEAU DONNANT LA REPARTITION DES ADRESSES DES ENTREES/SORTIES
- MTC - TABLEAU DONNANT LA REPARTITION DES ADRESSES MEMOIRE DANS LE SYSTEME BANQUE
- MTD - BROCHAGES DES PRINCIPAUX CIRCUITS INTEGRES
- MTE - NIVEAU DE CHARGE DU BUS Cn1
- MTF - PLAN CARTE CPU
PLAN CARTE MERE
PLAN CARTE VIDEO
PLAN CARTE DISQUE
PLAN CARTE ALIMENTATION
- MTG - BIBLIOGRAPHIE

INTRODUCTION

1 - STRUCTURE GENERALE

Le Guépard est constitué de cinq parties principales :

- le bac à carte (le cœur du microcalculateur)
- Le bloc alimentation
- Le moniteur vidéo
- Les deux lecteurs de disque
- Le clavier multifonction.

Avec un souci de commodité, les blocs sont mécaniquement indépendants.

Cela permet une fabrication, un service après-vente et une extension du système Guépard plus efficace qu'avec un système traditionnel.

De plus, chaque bloc possède aussi une structure modulaire.

Le schéma synoptique du Guépard reflète la structure modulaire fonctionnelle.

Les principales caractéristiques du Guépard sont :

— **Pour le bac à carte :**

Microprocesseur Z80 A (horloge à 4 MHz)

EPROM de 4 Koctets de base extensible à 16 Koctets.

RAM dynamique de 64 K octets (mémoire de travail).

RAM statique de 4 Koctets (mémoire vidéo)

Générateur de caractère de 4 K octets

Contrôleur Vidéo 6845

Contrôleur Disque FD 1791

Contrôleur RS 232 WD 8250

Contrôleur Son AY-3-8910

Contrôleur Calendrier MSM 5832

Interface sortie parallèle

Interface cassette

– Pour le bloc alimentation

+ 5 V - 8 A

+ 12 V - 4,5 A

– 12 V - 30 mA

Sauvegarde d'environ une heure pour la version de base.

– Pour la vidéo

Moniteur monochrome vert ou ambre haute résolution (en option moniteur couleur intégré).

– Pour les lecteurs de disque

2 lecteurs Yedata YD 580 pour la version 40 pistes.

ou 2 lecteurs Yedata YD 480 pour la version 80 pistes.

– Pour le clavier multifonction

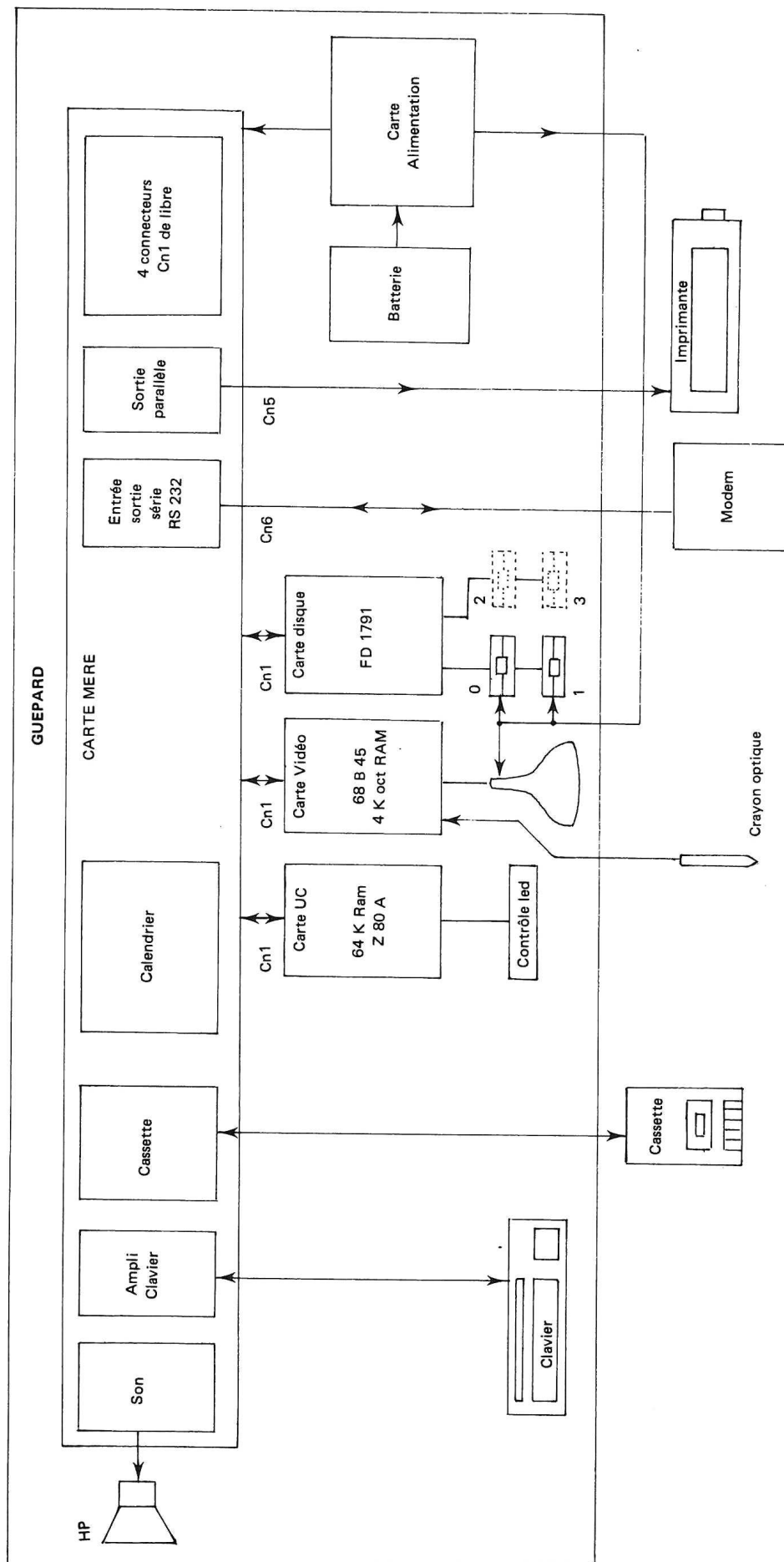
Clavier 102 touches partagées en trois blocs :

- bloc alphanumérique

- bloc de 15 touches de fonction

- bloc numérique

STRUCTURE GENERALE DU GUEPARD AVEC PERIPHERIQUES



CARTE UNITE CENTRALE

INTRODUCTION

Cette carte contrôle le fonctionnement intégrale du microcalculateur Guépard.

Que trouvons-nous sur cette unité centrale ?

Nous y remarquons cinq parties distinctes, qui sont :

- Le microprocesseur Z 80 A
- La gestion des Banques qui contrôle le plan mémoire.
- La mémoire RAM dynamique ou mémoire de Travail.
- La mémoire EPROM ou mémoire d'initialisation. ✓
- La gestion du décodage clavier.

Mais voyons plus en détail chaque élément.

1.1 - LE MICROPROCESSEUR

Le microprocesseur utilisé est un circuit Z 80 A de chez Zilog.

C'est une version plus élaborée que celle de chez Intel, la série 8085.

Comme tous les microprocesseurs, nous trouvons trois bus de base qui sont :

- Le bus de contrôle qui comprend 14 lignes.
- Le bus de donnée de 8 bits, noté de D0 à D7.
- Le bus des adresses de 16 bits, noté de A0 à A15.

De plus, le Z 80 A est alimenté en monotension (+5 V)

1.2 - DETAIL DU BUS DE CONTROLE

Ce bus de contrôle se partage lui-même en quatre parties :

- 1.2.1 - Le contrôle horloge est un signal qui bat dans notre cas à 4 MHz, mais si l'utilisateur le désire, il peut sélectionner le battement à 1,78 MHz. Si l'accès disque est commandé, cela force la fréquence à 4 MHz. Quand l'accès disque est terminé, le retour à 1,78 MHz est automatique.

Les circuits qui contrôlent l'horloge sont Z3, Z8, Z13, Z7 et le transistor 2 N 3906.

Les circuits qui contrôlent la sélection d'horloge sont Z1, Z6, Z2 et le circuit $R_{10}C_4$

La visualisation se fait sur deux leds rouge et verte respectivement 1,78 MHz et 4 MHz.

- 1.2.2 - Le contrôle du système environnant s'exécute grâce aux signaux suivant :

$\overline{M1}$	différencie une lecture de code opératoire avec les autres lectures et écritures du microprocesseur.
$\overline{MeRQ}$	autorise un accès à l'une des adresses comprise entre 0 et 0FFFFH.
$\overline{IORQ}$	autorise un accès à l'une des adresses de port comprise entre 0 et 0FFH.
$\overline{Rd}$	indique une phase de lecture du microprocesseur.
$\overline{WR}$	indique une phase d'écriture du microprocesseur.
$\overline{RFsh}$	indique un cycle de rafraîchissement pour la mémoire RAM dynamique.

- 1.2.3 - Le contrôle du CPU s'exécute avec les signaux suivant :

$\overline{RESET}$	permet un redémarrage du Z 80 A à l'adresse 0 H et une mise à zéro des bascules et registres internes.
$\overline{INT}$	permet de créer une interruption masquable avec un redémarrage programmable.

$\overline{\text{NMI}}$	permet de générer une interruption non masquable dont le redémarrage logiciel s'exécute à l'adresse $\emptyset 66 \text{ H.}$
$\overline{\text{Wait}}$	permet de rallonger un cycle de lecture ou d'écriture du microprocesseur quand le périphérique est trop lent.
$\overline{\text{halt}}$	permet d'arrêter le fonctionnement du microprocesseur dans l'attente d'une demande d'interruption ou une phase de "Reset".

1.2.4 - Le contrôle des bus du microprocesseur se fait avec les signaux suivant :

$\overline{\text{Bus Req}}$ demande d'accès au bus du microprocesseur.

$\overline{\text{Bus Ack}}$ acceptation du microprocesseur de la demande d'accès à ses bus.

1.3 - LE BUS DE DONNEE

Le bus de donnée est le bus par lequel transite toutes les informations venant ou allant vers les circuits périphériques.

1.4 - LE BUS D'ADRESSE

Le bus d'adresse permet de sélectionner une case mémoire ou d'entrée/sortie dans le but de transférer une information de ou dans cette case.

2.1 - LES BANQUES

Le système Guépard est composé de cinq banques distinctes numérotées comme suit :

$\overline{BQ0}$ → Banque contenant la mémoire "RAM" dynamique sur 64 Koctets.
Cette banque est toujours sélectionnée.
Seules, certaines adresses peuvent être masquée temporairement.

Les quatre autres banques sont sélectionnables par l'intermédiaire du bus de donnée et enregistrées par Z25.

$\overline{BQ1}$ → Banque contenant les mémoires "EPROM".
 $\overline{BQ1}$ se contrôle avec la ligne de donnée DL 0 du Z 80 A.

$\overline{BQ2}$ → Banque contenant la mémoire Vidéo décodée de l'adresse 3C00H à l'adresse 3FFFH.
 $\overline{BQ2}$ se contrôle avec la ligne de donnée DL 1.

$\overline{BQ3}$ → Banque contenant la deuxième partie de la mémoire Vidéo, plus la zone du générateur de caractères programmables.
Pour la vidéo le champ d'adresse va de 4000H à 43FFH.
Pour le générateur de caractères programmables, le champ d'adresse va de 4400H à 47FFH.
 $\overline{BQ3}$ est contrôlée par la ligne de donnée DL2.

$\overline{BQ4}$ → Banque contenant le contrôleur de disque souple, plus la réservation mémoire du clavier.
 $\overline{BQ4}$ est contrôlée par la ligne de donnée DL 3.
La zone d'adresse du contrôleur va de 37E0H à 37EFH.
La zone d'adresse du clavier va de 3800H à 38FFH.

Le décodage du circuit Z 25 se fait sur le port de sortie 0FAH.

L'électronique de décodage du port 0FAH est réalisée avec les cellules Z23 (pattes 1, 2, 3 et 8, 9, 10) et Z17 (pattes 12, 13) avec l'ensemble Z9, Z12, Z2.

EN RESUME :

Sélection du port 0FAH ⇒	DL 3,	DL 2,	DL 1,	DL 0
	↓	↓	↓	↓
Permet la sélection de ⇒	$\overline{BQ4}$	$\overline{BQ3}$	$\overline{BQ2}$	$\overline{BQ1}$

Exemple : Nous sélectionnons $\overline{BQ2}$ et $\overline{BQ1}$, cela implique sur le port 0FAH

DL 0 = 0
DL 1 = 0
DL 2 = 1
DL 3 = 1
DL 4
à = 1
DL 7

Pour la banque $\overline{BQ0}$, elle ne peut être que désélectionnée temporairement qu'avec $\overline{BQ0DES}$

Après un RESET général, les banques sélectionnées sont :

$\overline{BQ1}$
$\overline{BQ2}$
$\overline{BQ4}$

3.1 - LA MEMOIRE "RAM" DYNAMIQUE

La mémoire "RAM" est constituée de 8 circuits 4164 à 150 ns de temps d'accès avec 2 ou 4 ms de cycle de rafraîchissement.

Ils sont repérés de Z21 - Z24 - Z28 - Z33 - Z37 - Z40 - Z41 et Z42.

L'adressage de ces mémoires est multiplexé avec les poids faibles et poids forts des adresses du Z 80 A.

Le signal MUX de multiplexage est généré à la patte 11 de Z35.

Tandis que le signal $\overline{\text{RAS}}$ est activé par $\overline{\text{MReqL}}$ et le signal $\overline{\text{CAS}}$ une combinaison de $\overline{\text{RAS}}$ et $\overline{\text{MUX}}$ au travers de Z44 et Z43.

Le bus de donnée est piloté par Z11 dont l'ouverture est commandée par $\overline{\text{BQ0 DES}}$ et RFsh.

Le sens de transfert est réalisé par le signal $\overline{\text{RdL}}$ entrant sur la patte 4 de Z23.

Nota : le signal $\overline{\text{BQ0 DES}}$ signifie Banque 0 désactivée.

Il est à noter que le Guépard est un système banké. Cela signifie physiquement que l'ensemble des mémoires s'étend sur plus de "64 Koctets". Ce qui implique que les mémoires sont positionnées dans des banques qui peuvent être sélectionnées ou non.

Dans le cas où l'une de ces banques est sélectionnée et que nous demandons l'accès à la mémoire contenue dans cette banque, alors le signal $\overline{\text{BQ0 DES}}$ sera activé et la "RAM" centrale sera bloquée au moment de l'appel de la mémoire secondaire.

De plus, nous remarquons que l'ensemble Z34, Z6 et Z5 permet d'augmenter le champ de rafraîchissement du Z 80 A.

Cet ensemble permet de rafraîchir des mémoires en 256 cycles sur 4 ms. Mais aussi en 128 cycles sur 2 ms.

Enfin nous constatons que la "RAM" dynamique correspond à la banque 0 du système Guépard.

Elle reste toujours sélectionnée, bien que certaines adresses soient masquables au moment de l'appel d'une même adresse mais dans une autre banque sélectionnée par programmation.

4.1 - LA MEMOIRE EPROM

Sur le Guépard de base, il est monté une "EPROM" 2732 A en Z18.

Mais il est tout à fait possible de rajouter deux "EPROM" 2732 A supplémentaires en veillant bien de mettre les straps S1 et S3, ou bien de remplacer les trois "EPROM" 2732 A par une ou deux "EPROM" 2764 en veillant bien de changer S2GM en S2MD, de câbler S3 et laisser S1 libre.

Ces deux dernières "EPROM" 2764 se placent sur les supports Z18 et Z22.

Le décodage des "EPROM" se fait de l'adresse 00H à 1FFFH au maximum.

La circuitrie de décodage est assurée par les circuits Z38 (74 LS 139) et Z36 (74 LS 32).

Quand un accès aux "EPROM" est exécuté le signal $\overline{BQ\ 0\ DES}$ est activé grâce à l'ensemble Z39, Z30, Z35 et Z4 (74 LS 05 circuit collecteur ouvert).

5.1 - LE DECODAGE CLAVIER

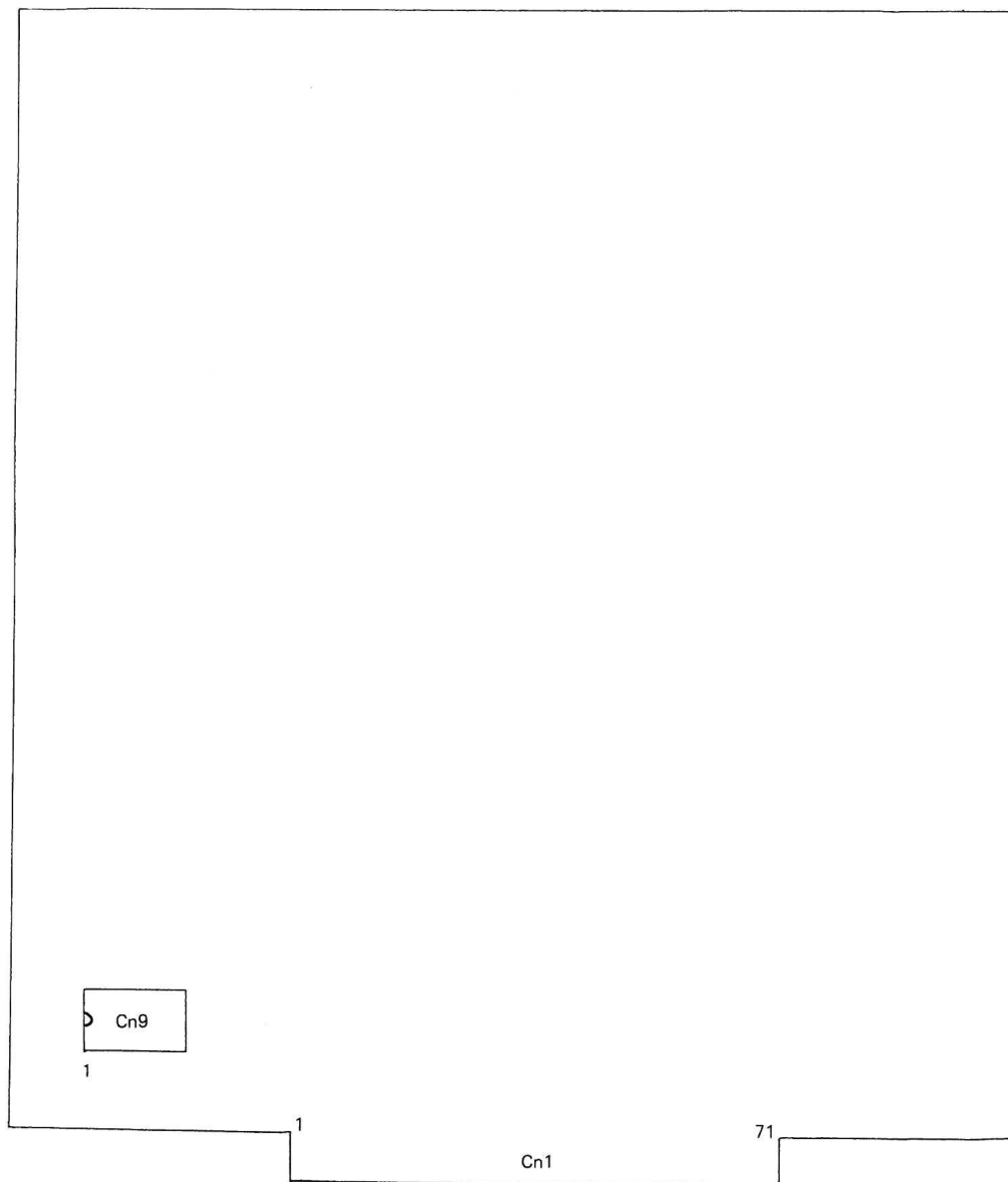
Le décodage du clavier est validé si BQ 4 est activée et si une adresse comprise entre 3800H et 38FFH est générée par la circuitrie Z19, Z23 Z30 et Z14.

Le circuit Z4 (pattes 8, 9, 10, 11) génère $\overline{\text{BQ } \emptyset \text{ DES}}$ quand le clavier est activé.

6.1 - AMPLIFICATION DES BUS

Nous constatons que les circuits Z16, Z26, Z27, Z10 et Z15 amplifient très largement tous les signaux du microprocesseur, dans le but de pouvoir alimenter correctement toutes les cartes connectables sur la Carte Mère du Guépard.

CARTE CPU VUE COTE COMPOSANTS



CABLAGE BUS CN 1

+ 12 V	1	2	+ 12 V
+ 5 V	3	4	+ 5 V
MASSE	5	6	MASSE
MASSE	7	8	MASSE
$\overline{\text{RESET L}}$	9	10	$\overline{\text{NMI}}$
$\overline{\text{HALT L}}$	11	12	$\overline{\text{BAL}}$
$\overline{\text{Int}}$	13	14	$\overline{\text{RESET PARTIEL L}}$
NC	15	16	$\overline{\text{WRL}}$
$\overline{\text{M ReqL}}$	17	18	$\overline{\text{RdL}}$
$\overline{\text{IO ReqL}}$	19	20	MASSE
$\overline{\Phi}$ CPU	21	22	MASSE
$\overline{\text{M 1 L}}$	23	24	DL $\emptyset$
$\overline{\text{ATTENTE}}$	25	26	DL 1
$\overline{\text{BUS REQ}}$	27	28	DL 2
$\overline{\text{BQ } \emptyset \text{ DES}}$	29	30	DL 3
$\overline{\text{RF shL}}$	31	32	DL 4
$\overline{\text{CLa}}$	33	34	DL 5
$\overline{\text{BQ 2}}$	35	36	DL 6
$\overline{\text{BQ 3}}$	37	38	DL 7
$\overline{\text{BQ 4}}$	39	40	$\overline{\text{FA}}$
NC	41	42	RTC
NC	43	44	$\overline{\text{MARCHE MOTEUR}}$
$\overline{\text{In}}$	45	46	$\overline{\text{OUT}}$
NC	47	48	MASSE
AL $\emptyset$	49	50	AL 1
AL 2	51	52	AL 3
AL 4	53	54	AL 5
AL 6	55	56	AL 7
AL 8	57	58	AL 9
AL 10	59	60	AL 11
AL 12	61	62	AL 13
AL 14	63	64	AL 15
NC	65	66	NC
- 12 V	67	68	- 12 V
MASSE	69	70	MASSE
+ 5 V	71	72	+ 5 V
NC	73	74	NC

CABLAGE BUS CN 9

1	+ 5 V
2	Led Verte
3	NC
4	Led Rouge
5	Sélection Horloge
6	<u>Reset Général</u>
7	<u>Reset Partiel</u>
8	Masse
9	NC
10	NC
11	NC
12	NC
13	NC
14	NC

BROCHAGE DU Z 80 A

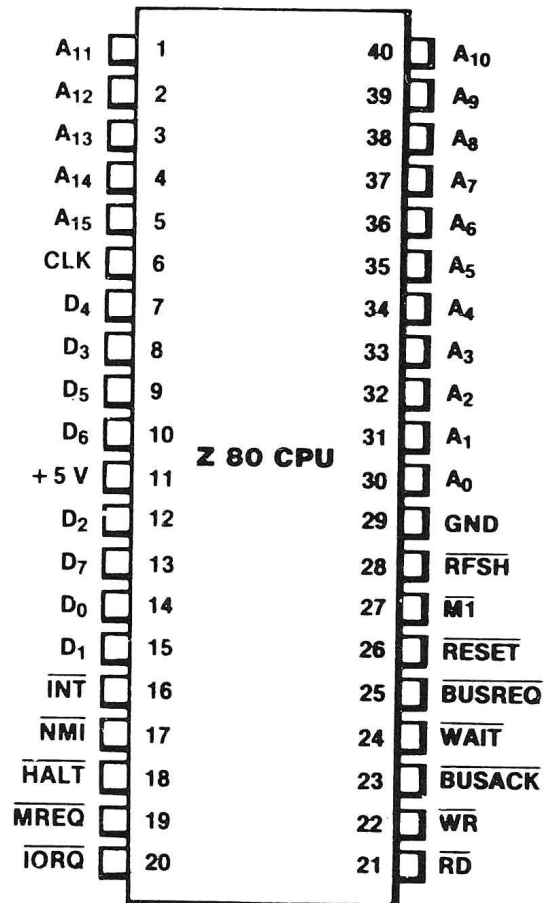
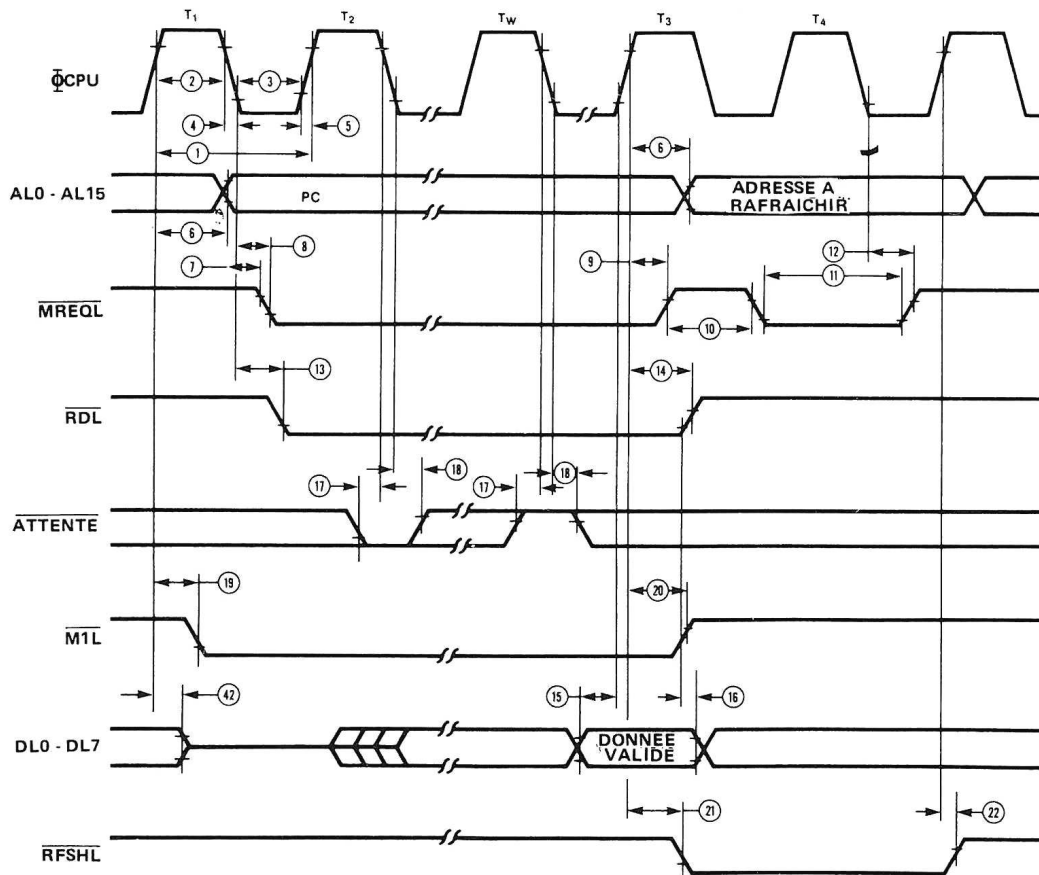


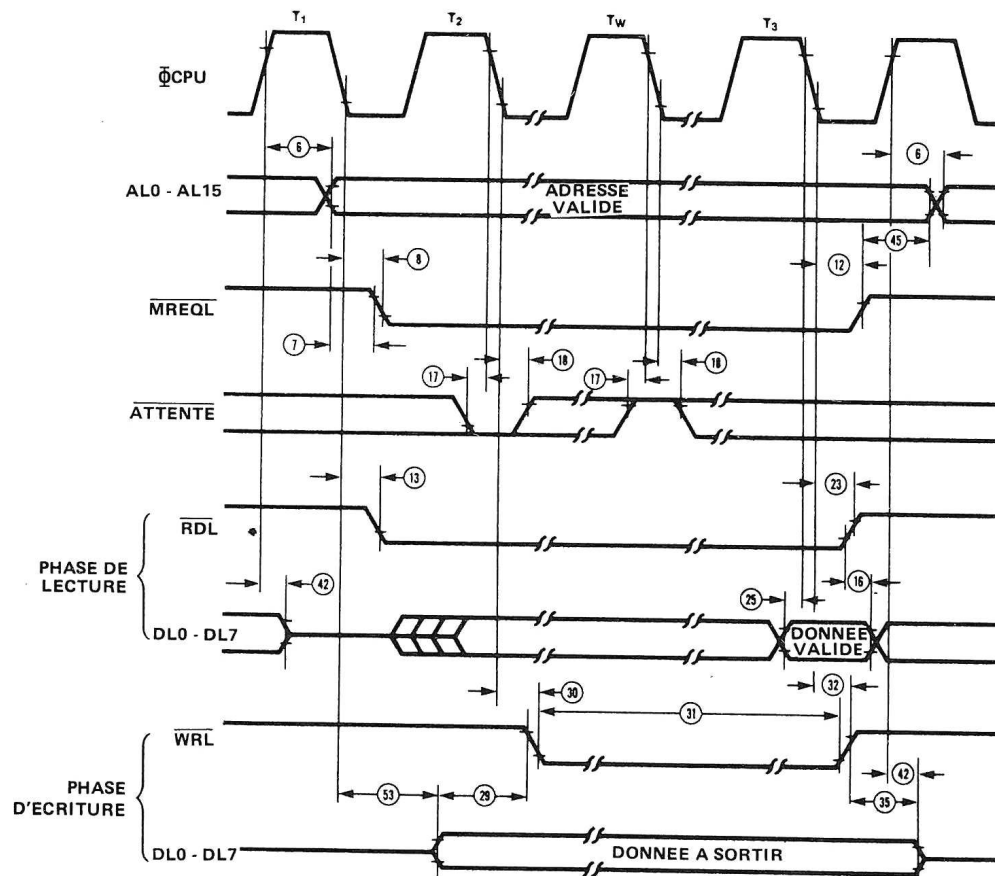
DIAGRAMME DES TEMPS DU SYSTEME GUEPARD

CYCLE D'UNE LECTURE DE CODE OPERATOIRE

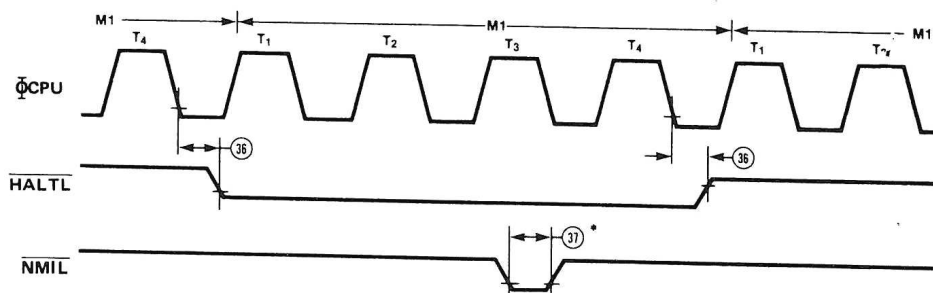


Note : Le temps TW n'est inséré que si nous avons un périphérique lent.

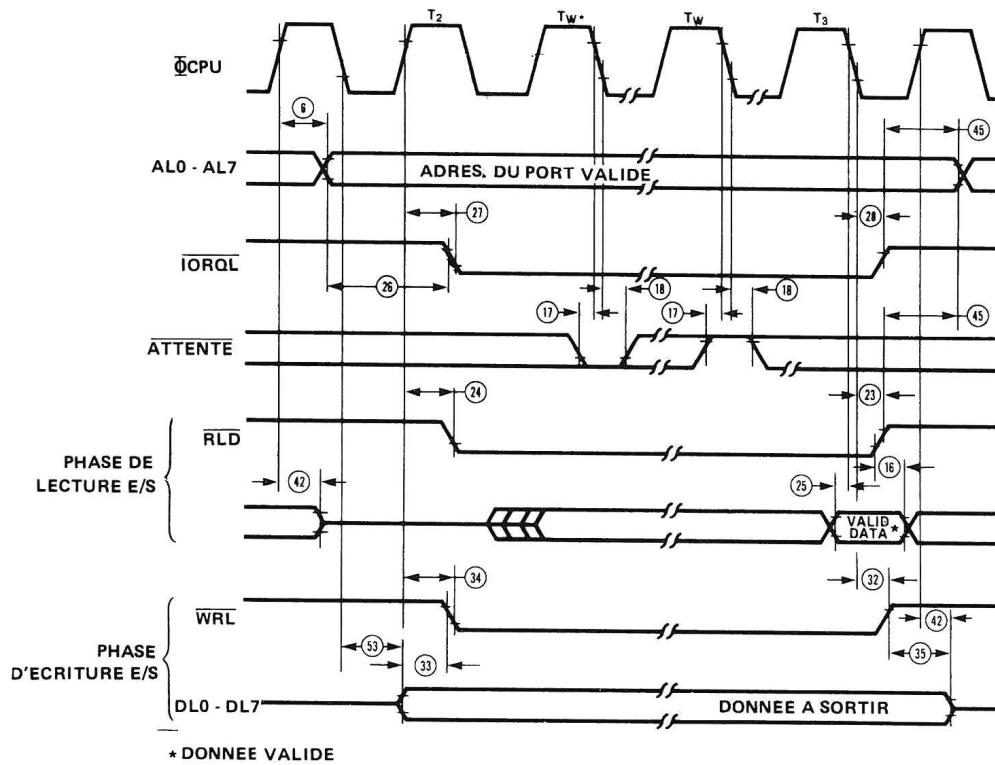
CYCLE DE LECTURE ET D'ECRITURE EN MEMOIRE



CYCLE DU HALTE SYSTEME

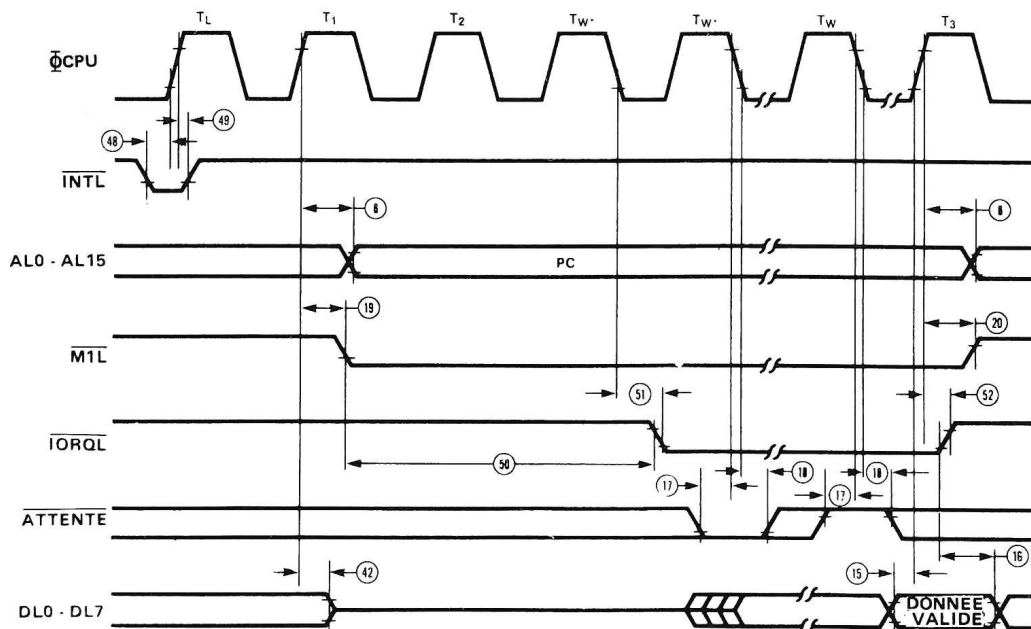


CYCLE DE LECTURE ET D'ECRITURE SUR PORT



Note : Le temps TW^* est automatiquement inséré dans le cycle.

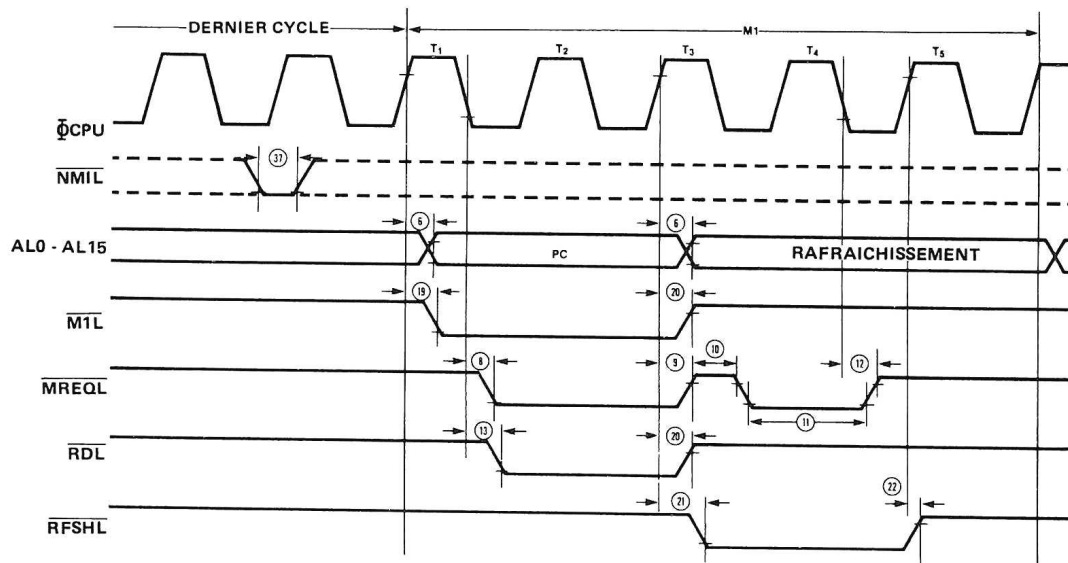
CYCLE D'UNE DEMANDE D'INTERRUPTION MASQUABLE



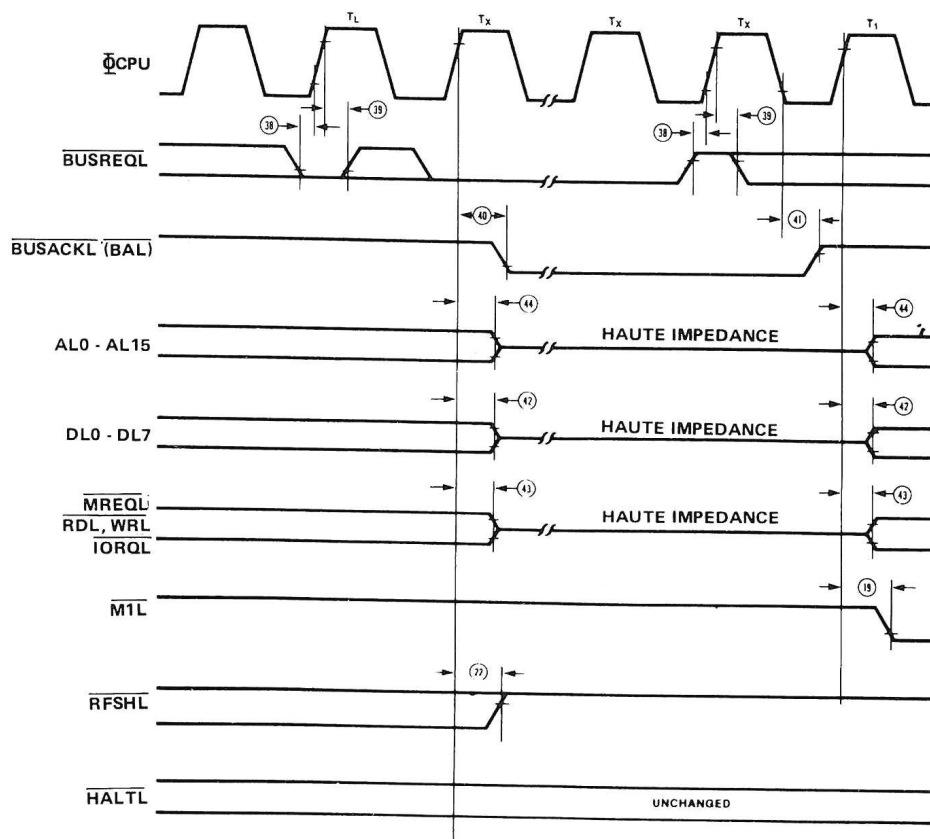
Note : T_L est le dernier temps du cycle précédent.

Les temps TW^* sont automatiquement insérés dans le cycle

CYCLE D'UNE DEMANDE D'INTERRUPTION NON MASQUABLE

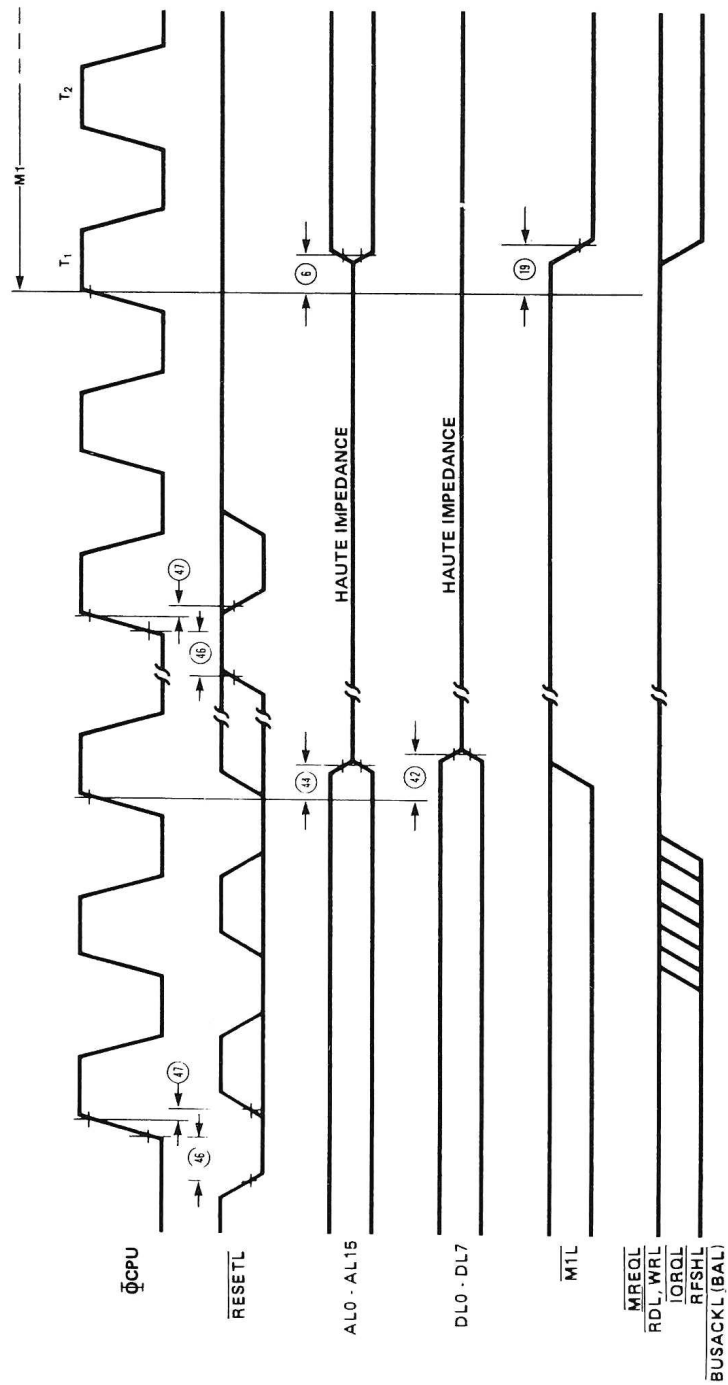


CYCLE D'UNE DEMANDE D'ACCES AUX BUS DU Z 80 A



NOTE : Le nombre et la durée de TX sont arbitraires et dépendent du périphérique demandeur.

CYCLE DE REMISE A ZERO



VALEURS DES TEMPS TYPIQUES

NUMERO	Z 80 A CPU		NUMERO	Z 80 A CPU	
	Min.	Max.		Min.	Max.
1	250 ns		28		85 ns
2	110 ns		29	80 ns	
3	110 ns	2000 ns	30		80 ns
4		30 ns	31	220 ns	
5		30 ns	32		80 ns
6		110 ns	33	10 ns	
7	65 ns		34		65 ns
8		85 ns	35	60 ns	
9		85 ns	36		300 ns
10	110 ns		37	80 ns	
11	220 ns		38	50 ns	
12		85 ns	39	0 ns	
13		95 ns	40		100 ns
14		85 ns	41		100 ns
15	35 ns		42		90 ns
16		0 ns	43		80 ns
17	70 ns		44		90 ns
18		0 ns	45	80 ns	
19		100 ns	46	60 ns	
20		100 ns	47		0 ns
21		130 ns	48	80 ns	
22		120 ns	49		0 ns
23		85 ns	50	565 ns	
24		85 ns	51		85 ns
25	50 ns		52		85 ns
26	180 ns		53		150 ns
27		75 ns			

Nota : les temps sont spécifiés en nanoseconde.

NOMENCLATURE DE LA CARTE CPU

Repère	Désignation	Repère	Désignation
TRANSISTORS		C.I. (suite)	
T 1	2 N 1711	Z31	74 LS 244
T 2	2 N 1711	Z32	74 LS 244
T 3	2 N 3906	Z33	TMS 4164 - 15 RAM
C.I.		Z34	74 LS 30
Z 1	74 LS 14	Z35	74 LS 08
Z 2	74 LS 00	Z36	74 LS 32
Z 3	7404	Z37	TMS 4164 - 15 RAM
Z 4	74 LS 05	Z38	74 LS 139
Z 5	74 LS 126	Z39	74 LS 20
Z 6	74 LS 74	Z40	TMS 4164 - 15 RAM
Z 7	74 S 37	Z41	TMS 4164 - 15 RAM
Z 8	74 LS 126	Z42	TMS 4164 - 15 RAM
Z 9	74 LS 138	Z43	74 LS 32
Z10	74 LS 126	Z44	74 LS 74
Z11	74 LS 245	RESISTANCES	
Z12	74 LS 32	R 1	220 Ω
Z13	74 LS 163	R 2	220 Ω
Z14	74 LS 138	R 3	1 K
Z15	74 LS 367	R 4	1 K
Z16	74 LS 245	R 5	6,8 K
Z17	74 LS 04	R 6	470 Ω
Z18	AM 2732 A 200 à 250 ns	R 7	470 Ω
Z19	74 LS 27	R 8	2,2 K
Z20	Z 80 A CPU	R 9	470 Ω
Z21	TMS 4164 - 15 RAM	R10	4,7 K
Z22	support libre	R11	6,8 K
Z23	74 LS 32	R12	2,2 K
Z24	TMS 4164 - 15 RAM	R13	4,7 K
Z25	74 LS 175	R14	2,2 K
Z26	74 LS 244	R15	1 K
Z27	74 LS 244	R16	2,2 K
Z28	TMS 4164 - 15 RAM	R17	2,2 K
Z29	support libre	R18	2,2 K
Z30	74 LS 04	R19	2,2 K

Repère	Désignation	Repère	Désignation
	RESISTANCES (suite)		CONDENSATEURS (suite)
R20	2,2 K	C19	100 nF céramique
R21	33 Ω	C20	100 nF céramique
R22	33 Ω	C21	100 nF céramique
R23	33 Ω	C22	100 nF céramique
R24	33 Ω	C23	100 nF céramique
R25	33 Ω	C24	100 nF céramique
R26	33 Ω	C25	100 nF céramique
R27	33 Ω	C26	22 MF 16 V tantale
R28	33 Ω	C27	100 nF céramique
R29	33 Ω	C28	100 nF céramique
R30	33 Ω	C29	100 nF céramique
R31	33 Ω	C30	100 nF céramique
R32	2,2 K	C31	100 nF céramique
R33	1,2 K	C32	100 nF céramique
R34	510 Ω	C33	100 nF céramique
R35	22 Ω	C34	100 nF céramique
	CONDENSATEURS	C35	100 nF céramique
C 1	100 MF 16 V chimique	C36	100 nF céramique
C 2	100 nF céramique	C37	100 nF céramique
C 3	22 MF 16 V tantale	C38	100 nF céramique
C 4	100 MF 16 V tantalisé	C39	100 nF céramique
C 5	22 MF 16 V tantale	C40	100 nF céramique
C 6	100 nF céramique	C41	100 nF céramique
C 7	100 nF céramique	C42	100 nF céramique
C 8	100 nF céramique	C43	100 nF céramique
C 9	220 pF céramique	C44	100 nF céramique
C10	100 nF céramique	C45	100 nF céramique
C11	100 nF céramique	C46	100 nF céramique
C12	100 nF céramique	C47	100 nF céramique
C13	100 nF céramique	C48	100 nF céramique
C14	100 nF céramique	C49	100 nF céramique
C15	100 nF céramique	C50	100 nF céramique
C16	100 nF céramique	C51	33 pF céramique
C17	100 nF céramique		QUARTZ
C18	100 nF céramique	Q1	16 MHz

CARTE MERE

INTRODUCTION

Dans tous les microcalculateurs, les échanges d'informations entre l'unité centrale et les unités périphériques transitent toujours sur un bus qui peut-être plus ou moins complexe.

Sur le Guépard, ce bus de transit, est notre carte mère.

Carte mère qui en plus possède quelques fonctions supplémentaires qui sont :

- Circuit clavier
- Circuit calendrier
- Circuit son
- Circuit cassette
- Circuit RS 232 C
- Circuit sortie parallèle de type Centronics

1.1 - LE BUS

Ce bus est un ensemble de 74 lignes sur lequel nous avons sept connecteurs encartables 2 x 37 broches au pas de 2,54 mm.

Sur ce bus, nous y trouvons tous les signaux utilisés par le microcalculateur. Signaux qui sont ceux du connecteur Cn1.

Ce sont sur les 7 connecteurs Cn1 que nous venons encliqueter nos cartes de base et d'extension.

2.1 - CIRCUIT CLAVIER

Ce circuit sert d'interface entre le clavier de 102 touches parallèles et le bus de transit Cn1.

Il est constitué d'amplificateurs à trois états, qui sont Z24 et Z13 (74 LS 240).

Le signal $\overline{\text{Cia}}$ de sélection de clavier est généré par la carte CPU.

3.1 - CIRCUIT CALENDRIER

Ce circuit permet au Guépard d'avoir l'heure en permanence.

Le circuit intégré utilisé est le MSM 5832 de OKI, référencé Z2.

Z2 est alimenté en permanence par un accumulateur au cadmium nickel, rechargeable quand le Guépard est sous tension.

L'accumulateur permet de garder l'heure six mois sans que le Guépard soit mis sous tension.

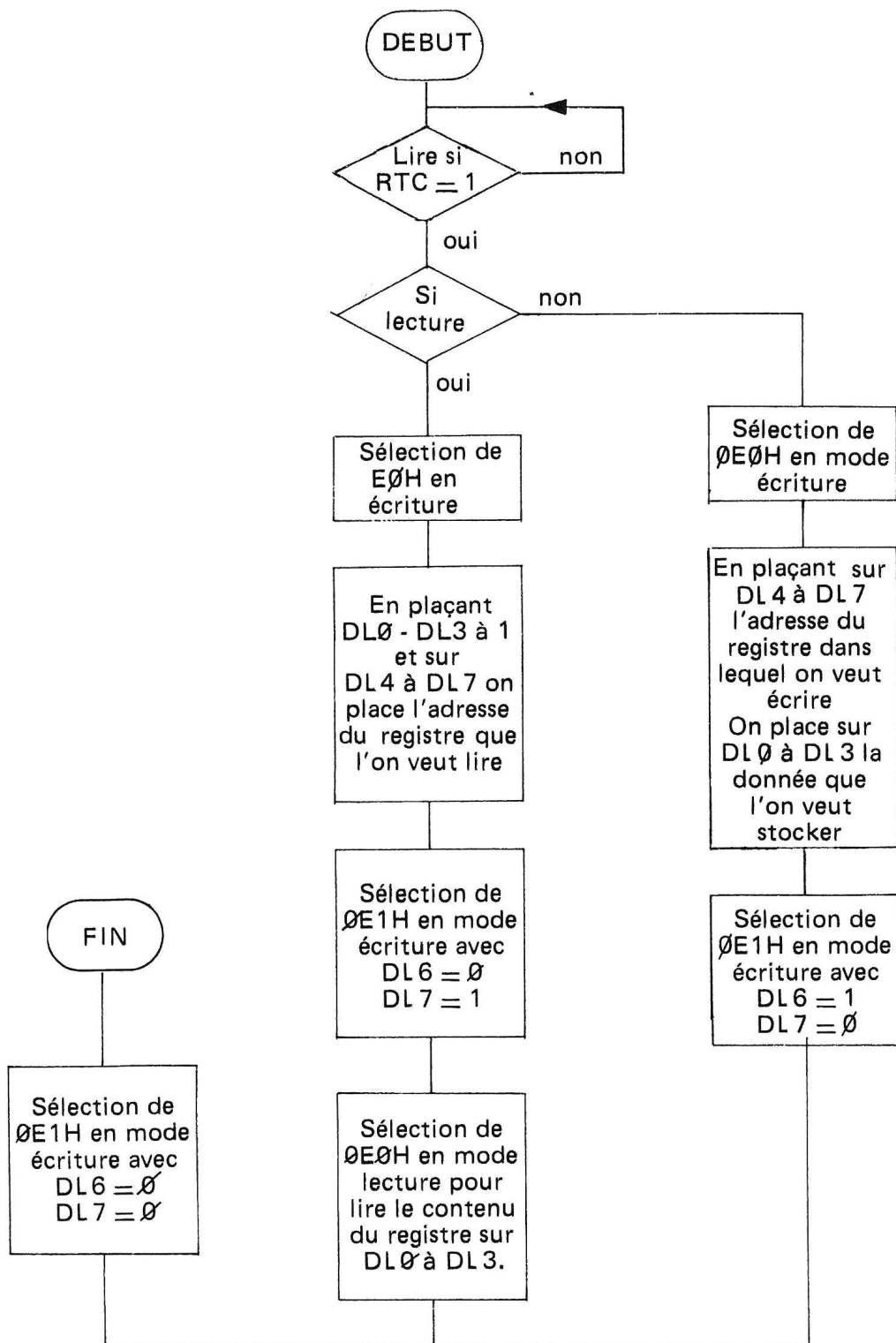
Ce circuit MSM 5832 permet d'avoir les :

- Secondes
- Minutes
- Heures
- Matin/Après-midi
- Jours
- Semaines
- Mois
- Années

L'ensemble Z10 - Z11 - Z18 permet l'accès aux registres et l'ensemble Z17 - Z9 autorise le décodage d'accès.

les ports de commande de ce circuit sont $\phi E\phi H$ et $\phi E1H$.

L'accès à l'un des registres du circuit calendrier se fait suivant l'algorithme ci-dessous.



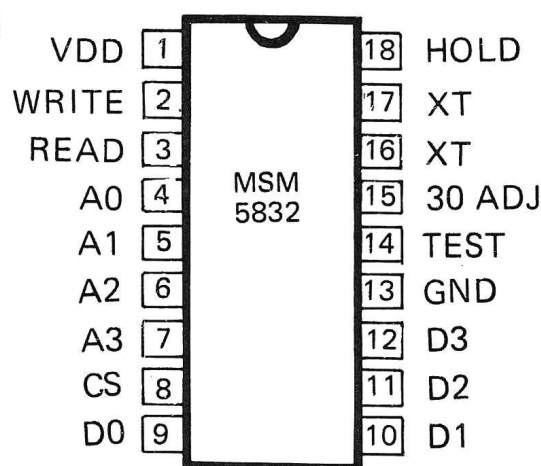
L'action sur le bouton Reset Général bloque et met donc en état de repos l'accès au circuit calendrier.

Nous constatons que les données des registres sont sous la forme de quartet.

TABLEAU FONCTIONNEL

ADRESSE D'ENTREE				COMPTEUR	DONNEE				VALEUR LIMITE	
A0	A1	A2	A3		D0	D1	D2	D3		
0	0	0	0	S 1	*	*	*	*	0 ~ 9	S1 et S10 sont mis à zéro pour chaque écriture dans les registres
1	0	0	0	S 10	*	*	*	*	0 ~ 5	
0	1	0	0	MI 1	*	*	*	*	0 ~ 9	
1	1	0	0	MI 10	*	*	*	*	0 ~ 5	
0	0	1	0	H 1	*	*	*	*	0 ~ 9	Format 24 h Format 12 h
1	0	1	0	H 10	*	*	†	†	0 ~ 1 0 ~ 2	
0	1	1	0	W	*	*	*	*	0 ~ 6	
1	1	1	0	D 1	*	*	*	*	0 ~ 9	
0	0	0	1	D 10	*	*	†	†	0 ~ 3	29 jours en Février 28 jours en Février
1	0	0	1	MO 1	*	*	*	*	0 ~ 9	
0	1	0	1	MO 10	*	*	*	*	0 ~ 1	
1	1	0	1	Y 1	*	*	*	*	0 ~ 9	
0	0	1	1	Y 10	*	*	*	*	0 ~ 9	

BROCHAGE



4.1 - LE CIRCUIT SON

Le circuit son est composé de trois parties :

- Le synthétiseur de son, l'AY - 3 - 8910.
- La logique de décodage du port 0FFH.
- L'amplificateur.

4.1.2 - Le Synthétiseur de son AY - 3 - 8910 est un circuit programmable.

Il permet de générer un son suivant les quatre caractéristiques suivantes :

- La fondamentale
- Les harmoniques
- L'enveloppe
- l'amplitude.

De plus ce circuit possède trois canaux, donc possibilité de réaliser de la polyphonie.

(Voir tableau page MT 3 - 13). Pour la programmation voir le Manuel d'Utilisation page MU 7 - 1.

Le décodage de circuit est réalisé avec les circuits Z22 - Z16 - Z23 et Z17.

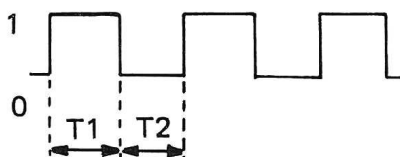
Les ports d'accès sont :

ØE2H : écriture ou lecture de la donnée dans ou du registre sélectionné avec ØE3H.

ØE3H : écriture ou lecture de l'adresse du registre à ou sélectionner.

ØE4H : permet une remise à zéro du circuit Z12 (AY-3-8910).

4.1.3 - La logique de décodage du port ØFFH permet en envoyant alternativement l'état 1 puis 0 sur le bit DL1 de générer un son de forme carré dont la fréquence f est l'inverse de la somme du temps T1 de DL1 à 1 et du temps T2 de DL1 = 0

$$f = \frac{1}{T1 + T2} \quad \text{ou} \quad \text{DL1}$$


la logique est réalisée Z23 - Z28 - Z30 - Z29.

4.1.4 - L'amplificateur permet d'obtenir un niveau suffisant pour activer un haut-parleur de 9W - 8Ω.

Le mélange des sons de base se fait avec les résistances R33 et R13 à R16.

La liaison capacitive est obtenue avec le condensateur C21.

L'attaque de l'amplificateur Z1 (TBA 810 S-P) se fait au travers du potentiomètre P1.

5.1 - LE CIRCUIT CASSETTE

Ce circuit permet la lecture ou l'écriture sur une cassette.

La circuitrie d'écriture est la même que celle qui sert à générer le son pur, avec en plus une commande moteur constituée de Z21 - K1 - D6 et D5.

Le port de commande est donc ØFFH et les lignes des données utilisées sont DL0 à DL3 puis DL6 et DL7.

La circuitrie de lecture possède le circuit Z26 (un amplificateur opérationnel LM 3900) qui sert à la mise en forme du signal de donnée venant du lecteur de cassette.

La phase de lecture d'une cassette est un peu plus complexe, car elle doit assurer les quatre fonctions suivantes :

- Ecrêtage
- Détection de niveau
- Mise en forme
- Amplification.

Le but est de transformer un signal analogique en sortie du lecteur de cassette en un signal numérique parfaitement représentatif de la donnée transférée.

Pour cela nous utilisons le circuit linéaire LM3900, qui est un quadruple amplificateur opérationnel.

Après ce filtre actif, le signal numérique passe au travers de Z27, piloté par le décodeur cassette, avant d'aller vers le Z80A.

6.1 - LA SORTIE SERIE RS 232

Cette sortie RS 232 est principalement pilotée par le circuit WD 8250 de la Western digital.

L'ensemble des registres programmables permet de définir exactement le mode de transmission à savoir :

la longueur des mots transmis (de 5 à 8 bits de long).

le ou les bits de "stop" en fin de mot.

la possibilité d'un bit de contrôle de parité du mot transmis.

Plus les paramètres de contrôle de type Modem.

L'ensemble des registres est décodé sur les ports allant de 0E8H à 0EEH.

Le port 0EFH est réservé pour faire une remise à zéro du circuit WD 8250 (Z7) par un moyen logiciel.

La logique de pilotage est conçue avec les circuits Z4 - Z5 - Z6 et Z23.

Les circuits MC 1488 (Z20) et MC 1489 (Z14) permettent de piloter la ligne physique avec des tensions comprises entre +12 V et - 12 V (respectivement correspondent aux états 0 et 1).

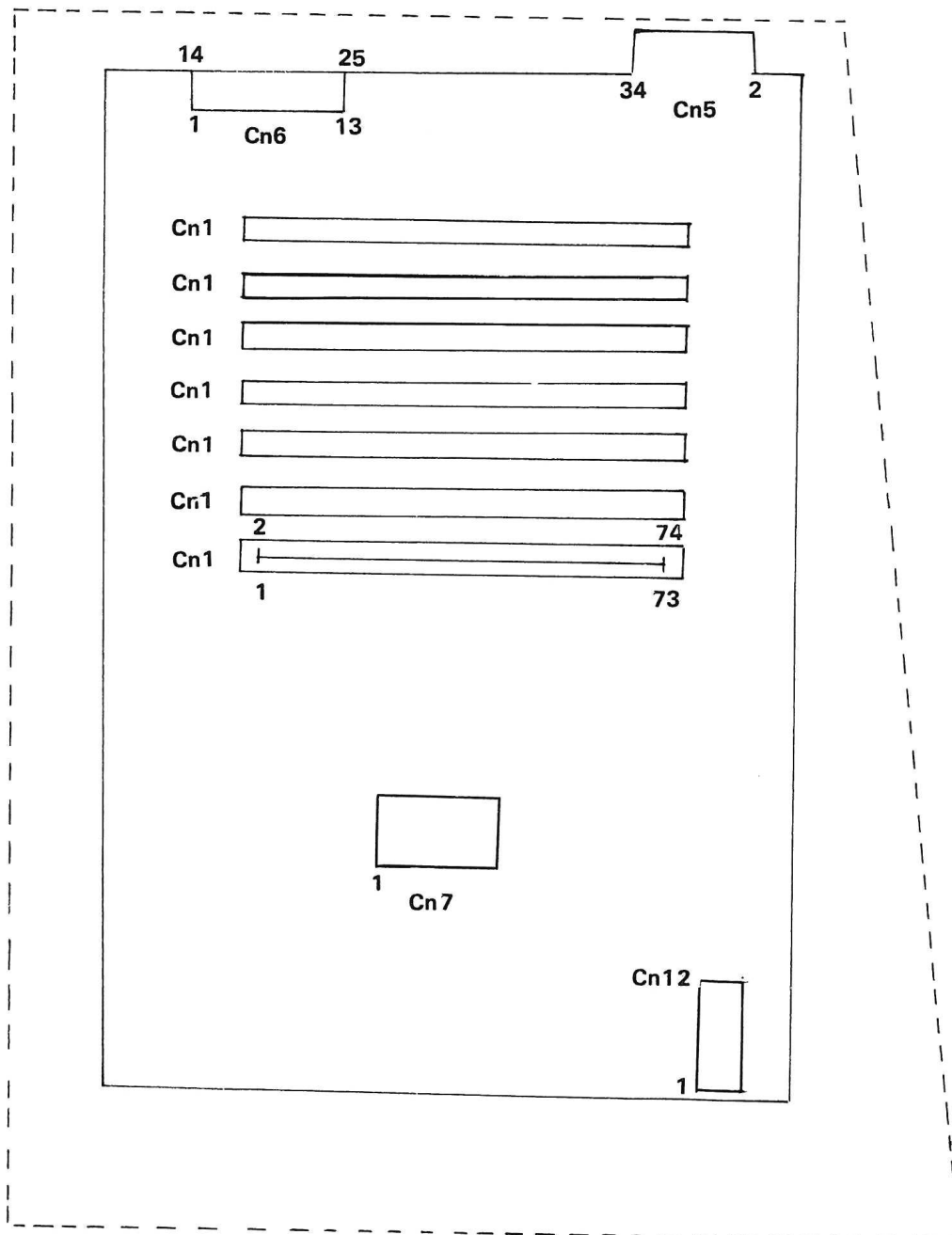
La longueur d'une telle ligne peut aller jusqu'à 533 mètres pour une vitesse de transmission de 1200 bauds pour un câble à très faible capacité.

Il est à savoir que plus la vitesse de transmission est élevée, plus la longueur de la ligne est courte.

Il est possible d'utiliser l'interruption $\overline{\text{Int}}$ pour gérer de façon plus efficace la transmission série.

Pour cela, il est nécessaire de placer le strap S1 sur la carte mère.

GUEPARD VUE DE DESSUS



CABLAGE BUS CN 1

+ 12 V	1	2	+ 12 V
+ 5 V	3	4	+ 5 V
MASSE	5	6	MASSE
MASSE	7	8	MASSE
$\overline{\text{RESET L}}$	9	10	$\overline{\text{NMI}}$
$\overline{\text{HALT L}}$	11	12	$\overline{\text{BAL}}$
$\overline{\text{Int}}$	13	14	$\overline{\text{RESET PARTIEL L}}$
NC	15	16	$\overline{\text{WRL}}$
$\overline{\text{M ReqL}}$	17	18	$\overline{\text{RdL}}$
$\overline{\text{IO ReqL}}$	19	20	MASSE
$\overline{\Phi}$ CPU	21	22	MASSE
$\overline{\text{M 1 L}}$	23	24	DLØ
$\overline{\text{ATTENTE}}$	25	26	DL 1
$\overline{\text{BUS REQ}}$	27	28	DL 2
$\overline{\text{BQ Ø DES}}$	29	30	DL 3
$\overline{\text{RF shL}}$	31	32	DL 4
$\overline{\text{CLa}}$	33	34	DL 5
$\overline{\text{BQ 2}}$	35	36	DL 6
$\overline{\text{BQ 3}}$	37	38	DL 7
$\overline{\text{BQ 4}}$	39	40	$\overline{\text{FA}}$
NC	41	42	RTC
NC	43	44	$\overline{\text{MARCHE MOTEUR}}$
$\overline{\text{In}}$	45	46	$\overline{\text{OUT}}$
NC	47	48	MASSE
ALØ	49	50	AL 1
AL 2	51	52	AL 3
AL 4	53	54	AL 5
AL 6	55	56	AL 7
AL 8	57	58	AL 9
AL 10	59	60	AL 11
AL 12	61	62	AL 13
AL 14	63	64	AL 15
NC	65	66	NC
- 12 V	67	68	- 12 V
MASSE	69	70	MASSE
+ 5 V	71	72	+ 5 V
NC	73	74	NC

CABLAGE CN5 (CONNECTEUR IMPRIMANTE)

STROBE	1	2	MASSE
ID $\bar{0}$	3	4	MASSE
ID1	5	6	MASSE
ID2	7	8	MASSE
ID3	9	10	MASSE
ID4	11	12	MASSE
ID5	13	14	MASSE
ID6	15	16	MASSE
ID7	17	18	MASSE
NC	19	20	MASSE
Busy	21	22	MASSE
OUT PAPER	23	24	MASSE
Sélect	25	26	NC
MASSE	27	28	NC
MASSE	29	30	MASSE
MASSE	31	32	NC
MASSE	33	34	NC

Pour le câble, voir le Manuel d'Utilisation à la page MU 6 - 1.

CABLAGÉ CN6 (RS 232)

1	MASSE
2	TXD
3	RXD
4	RTS
5	CTS
6	DSR
7	MASSE
8	RLSD
9	NC
10	NC
11	NC
12	NC
13	NC
14	$\overline{\text{OUT 2}}$
15	NC
16	$\overline{\text{OUT 1}}$
17	NC
18	NC
19	NC
20	DTR
21	NC
22	NC
23	NC
24	NC
25	NC

CABLAGE CN7 (DIP CLAVIER ALPHANUMERIQUE)

1	CDØ
2	CD1
3	CD2
4	CD3
5	CD4
6	CD5
7	CD6
8	CD7
9	+ 5 V
10	NC
11	MASSE
12	CAØ
13	CA1
14	CA2
15	CA3
16	CA4
17	CA5
18	CA6
19	CA7
20	NC

CONNECTEUR CASSETTE Cn12

N° de broche

1	Commande moteur
2	Masse
3	Retour commande moteur
4	Lecture de donnée
5	Ecriture de donnée

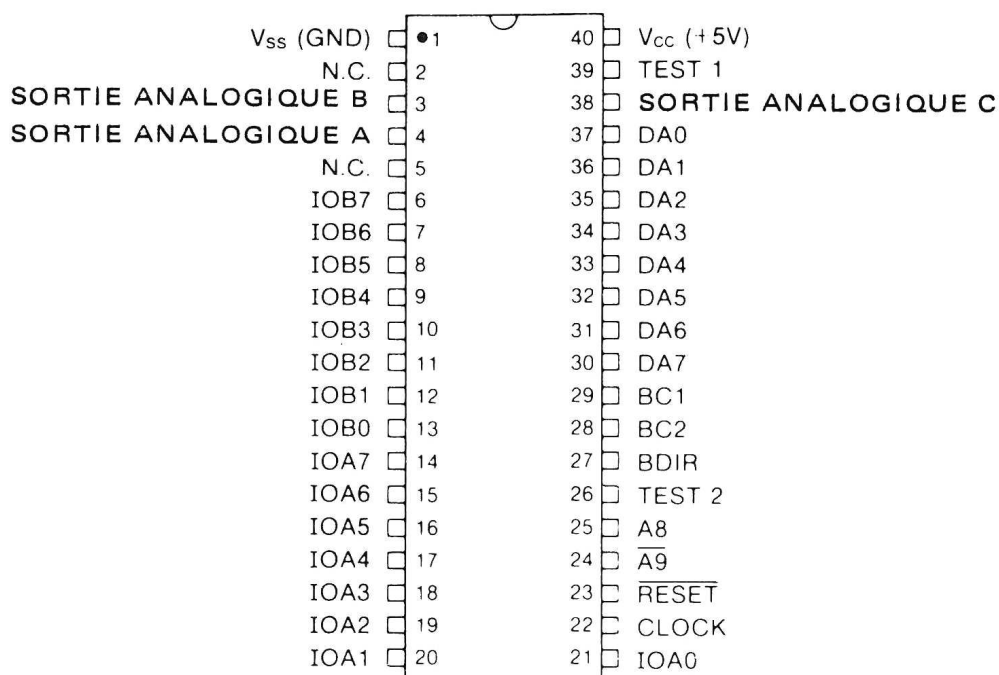
CONNECTEUR EXTERIEUR DU CLAVIER

Cn14

N° de broche

1	NC
2	CA7
3	CA6
4	CA5
5	CA4
6	CA3
7	CA2
8	CA1
9	CA 0
10	Masse
11	NC
12	NC
13	NC
14	CD 0
15	CD1
16	CD2
17	CD3
18	CD4
19	CD5
20	CD6
21	CD7
22	+ 5 V
23	NC
24	NC
25	NC

GENERATEUR DE SON PROGRAMMABLE AY - 3 - 8910



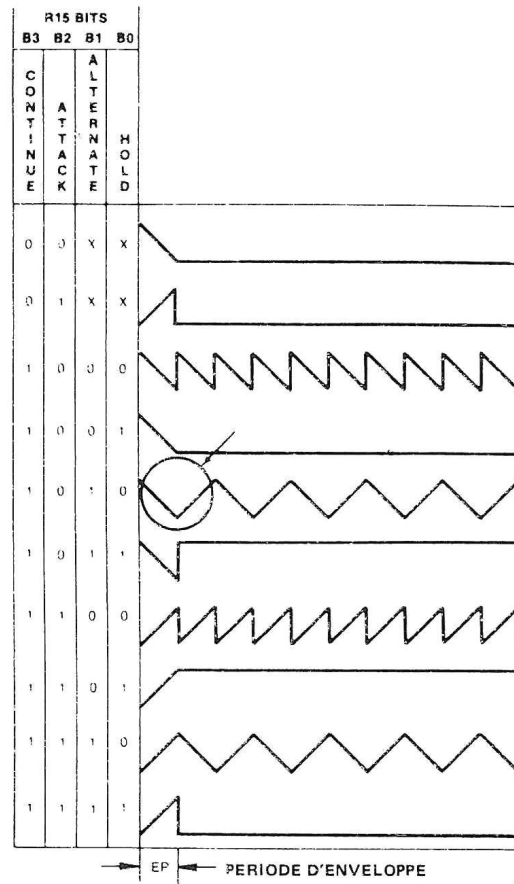
BROCHAGE

BIT REGISTRE		7	6	5	4	3	2	1	∅
0	Fréquence A	7	6	5	4	3	2	1	∅
1						11	10	9	8
2	Fréquence B	7	6	5	4	3	2	1	∅
3						11	10	9	8
4	Fréquence C	7	6	5	4	3	2	1	∅
5						11	10	9	8
6	Fréquence bruit				4	3	2	1	∅
7	Mélangeur			NC	NB	NA	FC	FB	FA
8	Volume A				ME	3	2	1	∅
9	Volume B				ME	3	2	1	∅
10	Volume C				ME	3	2	1	∅
11	Fréq. enveloppe	7	6	5	4	3	2	1	∅
12		15	14	13	12	11	10	9	8
13	Forme enveloppe					CONT	ATT	STOP	MAINT

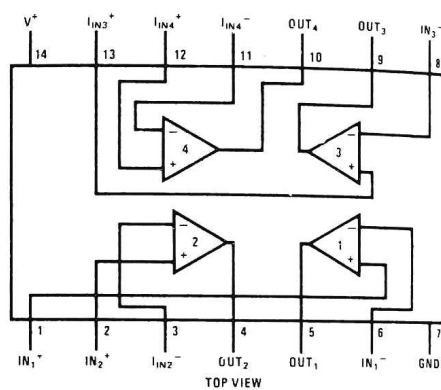
TABLEAU FONCTIONNEL

Nota : Pour la programmation, se reporter à la page MU 7 - 2 du Manuel d'Utilisation.

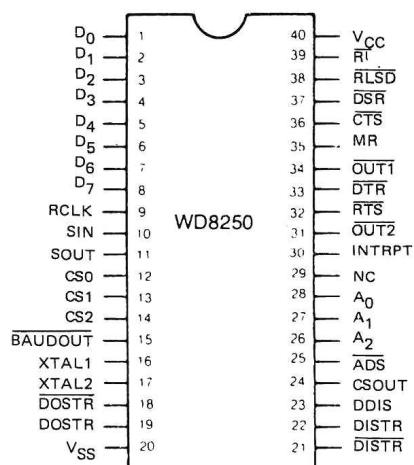
FORME DES ENVELOPPES



LM 3900 - AMPLIFICATEUR OPERATIONNEL



WD 8250 CIRCUIT POUR LIAISON SERIE RS 232 C



BROCHAGE

ADRESSE REGISTRE										
N° Bit	E8H DLAB = 0	E8H DLAB = 1	E9H DLAB = 0	EAH	EBH	ECH	EDH	EEH	E8H DLAB = 1	E9H DLAB = 1
	Registre de réception	Registre d'émission	Registre du contrôle interruption	Registre d'état des interruptions "0" si interruption suspendue	Registre du contrôle de ligne	Registre du contrôle de Modem	Registre d'état de ligne	Registre d'état du Modem	Poids faible de la vitesse	Poids fort de la vitesse
0	Bit 0	Bit 0	(ERBFI)	si interruption suspendue	Bit 0 (WLS0)	(DTR)	(DR)	(DCTS)	Bit 0	Bit 8
1	Bit 1	Bit 1	(ETBEI)	ID Bit (0)	Bit 1 (WLS1)	(RTS)	(OR)	(DDSR)	Bit 1	Bit 9
2	Bit 2	Bit 2	(ELSI)	ID Bit (1)	(STB)	Out 1	(PE)	(TERI)	Bit 2	Bit 10
3	Bit 3	Bit 3	(EDSSI)	0	(PEN)	Out 2	(FE)	(DSLSD)	Bit 3	Bit 11
4	Bit 4	Bit 4	0	0	(EPS)	Bouclage	(BI)	(CTS)	Bit 4	Bit 12
5	Bit 5	Bit 5	0	0	Inverse	0	(THRE)	(DSR)	Bit 5	Bit 13
6	Bit 6	Bit 6	0	0	Stop	0	(TSRE)	(RI)	Bit 6	Bit 14
7	Bit 7	Bit 7	0	0	Bit (DLAB)	0	0	(RLSD)	Bit 7	Bit 15

LISTE DES SEMI-CONDUCTEURS

Repère	Désignation	Repère	Désignation
Z 1	TBA 810 S	D 1	Diode 1 N 4148
Z 2	MSM 5832	D 2	Diode 1 N 4148
Z 3	74 LS 05	D 3	Diode 1 N 4148
Z 4	74 LS 20	D 4	Diode 1 N 4148
Z 5	74 LS 27	D 5	Diode 1 N 982 Zener
Z 6	74 LS 245	D 6	Diode 1 N 982 Zener
Z 7	WD 8250	D 7	Diode 1 N 4148
Z 8	74 LS 163	D 8	Diode 1 N 4148
Z 9	74 LS 32	D 9	Diode 1 N 4148
Z10	74 LS 74	D10	Diode 1 N 4148
Z11	74 LS 374	D11	Diode 1 N 4148
Z12	AY 3 8910		
Z13	74 LS 240		
Z14	SN 75189 - MC 1489		
Z15			
Z16	74 LS 27		
Z17	74 LS 138		
Z18	74 LS 367		
Z19	DIP CLAVIER		
Z20	SN 75188 - MC 1488		
Z21	SN 75450		
Z22	74 LS 08		
Z23	74 LS 04		
Z24	74 LS 240		
Z25	74 LS 367		
Z26	LM 3900		
Z27	74 LS 00		
Z28	74 LS 32		
Z29	74 LS 175		
Z30	74 LS 30		
Z31	74 LS 123		
Z32	74 LS 32		
Z33	74 LS 374		

LISTE DES RESISTANCES

Repère	Désignation	Repère	Désignation
R 1	100	R26	6,8 K
R 2	100	R27	220 K
R 3	100	R28	4,7 K Ω
R 4	100	R29	4,7 K
R 5	560	R30	4,7 K
R 6	100 K	R31	4,7 K
R 7	1 Ω	R32	4,7 K
R 8	330	R33	4,7 K
R 9	10 K	R34	1 M
R10	10 K	R35	680 K
R11	10 K	R36	1 M
R12	10 K	R37	470 K
R13	10 K	R38	390 K
R14	2,2 K	R39	390 K
R15	2,2 K	R40	270 K
R16	2,2 K	R41	470 K
R17	2,2 K	R42	470 K
R18	4,7 K	R43	470 K
R19	4,7 K	R44	1 M
R20	510 K	R45	470 K
R21	510 K	R46	10 K
R22	10	R47	51 K
R23	10 K	R48	4,7 K
R24	1,2 K	R49	10 K
R25	6,8 K		

LISTE DES CONDENSATEURS

Repère	Désignation	Repère	Désignation
C 1	1000 MF 16 V chimique	C39	47 pF céramique
C 2	100 MF 16 V chimique	C40	22 pF céramique
C 3	4,7 MF 16 V tantale	C41	10 nF céramique
C 4	100 MF 16 V chimique	C42	100 nF céramique
C 5	100 nF céramique	C43	100 nF céramique
C 6	100 nF céramique	C44	100 nF céramique
C 7	100 nF céramique	C45	100 nF céramique
C 8	100 nF céramique	C46	100 nF céramique
C 9	22 MF 16 V tantale	C47	100 nF céramique
C10	1,5 nF céramique	C48	
C11	5,6 nF céramique	C49	100 nF céramique
C12	100 MF 16 V chimique	C50	100 nF céramique
C13	470 MF 16 V chimique	C51	100 nF céramique
C14	100 nF céramique	C52	10 MF 40 V chimique
C15	100 MF 16 V chimique	C53	100 MF 16 V chimique
C16	100 nF céramique	C54	100 nF céramique
C17	33 pF céramique	C55	100 nF céramique
C18	ajustable 5/30 pF	C56	100 nF céramique
C19	100 nF céramique	C57	100 nF céramique
C20	100 nF céramique	C58	
C21	4,7 MF 16 V tantale	C59	
C22	220 pF céramique	C60	100 nF céramique
C23	100 nF céramique	C61	100 nF céramique
C24	100 nF céramique	C62	100 nF céramique
C25	100 nF céramique	C63	100 nF céramique
C26	100 nF céramique	C64	220 pF céramique
C27	100 nF céramique	C65	470 pF céramique
C28	100 nF céramique	C66	560 pF céramique
C29	22 MF 16 V tantale		
C30			
C31	100 nF céramique		
C32	100 MF 16 V chimique		
C33	100 MF 16 V chimique		
C34	100 nF céramique		
C35			
C36	100 nF céramique		
C37	100 nF céramique		
C38	100 nF céramique		

Repère	Désignation
	COMPOSANTS DIVERS
Q 1	QUARTZ 32,768 KHz
Q 2	QUARTZ 3,072 MHz
AL1	ACCUMULATEUR 3,6 V 90 mAh
K 1	RELAIS CLARE 15005B
	CONNECTEURS
J 1	Cteur FEM BURNDY 2 x 37
J 2	Cteur FEM BURNDY 2 x 37
J 3	Cteur FEM BURNDY 2 x 37
J 4	Cteur FEM BURNDY 2 x 37
J 5	Cteur FEM BURNDY 2 x 37
J 6	Cteur FEM BURNDY 2 x 37
J 7	Cteur FEM BURNDY 2 x 37
CN6	PRISE FEM CANON 25 B COUDEE
CN7	SUPPORT 20 B TULIPE
	SUPPORT 40 B TULIPE
	SUPPORT 40 B TULIPE
SORT.	
K7	PLOT MALE 5 B DROIT
HP	PLOT MALE 2 B DROIT
POT	PLOT MALE 3 B DROIT

CARTE VIDEO

INTRODUCTION

Cette carte vidéo permet de piloter un moniteur monochrome et un moniteur couleur ou téléviseur couleur équipé d'un connecteur pérîtélévision.

Les possibilités d'affichage pour les deux types de moniteur sont :

— Contrôle total du format d'image. Dans notre version de base, nous proposons les formats 16 lignes de 64 caractères et 24 lignes de 80 caractères.

— Le contrôle du fond d'écran est indépendant du contrôle du caractère.

* Les possibilités sur le fond sont :

2 couleurs de gris en monochrome.
32 couleurs avec moniteur couleur.

* Les possibilités sur le caractère sont :

2 couleurs de gris en monochrome
32 couleurs avec moniteur couleur.

Les commandes suivantes sont communes aux deux types de moniteurs.

A savoir : possibilité de faire clignoter chaque caractère.
possibilité d'inverser chaque caractère.

De plus nous pouvons les multiplexer.

Le caractère peut être alphanumérique ou graphique.

Au niveau fonctionnement, cette carte vidéo peut être divisé en trois blocs principaux :

— bloc du 6845 contrôleur vidéo.

— bloc de la mémoire vidéo

— bloc de traitement et pilotage des moniteurs.

1.1 - BLOC DU CONTROLEUR VIDEO

Ce bloc est principalement composé du 6845 de chez Motorola.

Ce circuit gère le balayage de la mémoire vidéo, les signaux de synchronisation, le curseur et le crayon lumineux.

Tous les paramètres de ces fonctions sont programmables.

L'accès aux registres du 6845 passe par les ports 0F6H et 0F7H.

0F6H sélectionne le numéro du registre compris entre 00H et 11H.

0F7H accède à la donnée contenue dans le registre sélectionné par 0F6H.

Le décodeur de ces ports est conçu autour de Z22, Z1, Z37 et Z17.

Pour l'ensemble des registres, voir la page MT 4 - 10.

1.2 - BLOC DE LA MEMOIRE VIDEO

Ce bloc principal est lui-même divisé en deux parties distinctes.

1.2.1 - En effet, la moitié de la mémoire vidéo est réservée pour stocker l'ensemble des codes des caractères à afficher.

Le décodage de cette mémoire est réalisé avec les circuits Z26, Z36, Z30, Z35, Z32, Z31. Il utilise le champ d'adresse de 3C00H à 47FFH si la banque BQ2 et (ou) la banque BQ3 est (sont) sélectionnée(s).

En sachant que BQ2 contrôle les adresses allant de 3C00H à 3FFFH et que BQ3 contrôle les adresses allant de 4000H à 47FFH.

De plus pour éviter que les processeurs Z80 A et 6845 accèdent simultanément à la mémoire vidéo, un contrôleur de priorité d'accès a été installé.

Il est composé de Z1, Z3, Z34, Z38, Z37, Z31 et travaille avec le signal Attente du bus.

De même, nous avons placé un aiguillage composé de Z27, Z23, Z18 pour multiplexer les bus d'adresse du Z80 et 6845.

La mémoire est une "RAM" statique TC5516AP-2 de chez Toshiba.

Le caractère est mémorisé dans la mémoire "RAM" par l'intermédiaire de Z13.

1.2.2 - La deuxième moitié de la mémoire est réservée pour stocker l'attribut du caractère, qui n'est que la caractéristique du caractère correspondant.

Cette caractéristique est construite comme suit :

DLØ Inversion du caractère.
DL1 Clignotement du caractère.
DL2 Gris en monochrome et rouge foncé en couleur.
DL3 Rouge
DL4 Vert
DL5 Bleu
DL6 Vert foncé.
DL7 non utilisé.

Le pilotage du champ d'adresse de cette partie de mémoire est rigoureusement le même que celui de la mémoire de caractères.

Seul le pilotage de la donnée attribut est différent.

Le stockage de l'attribut s'exécute en deux étapes.

Nous commençons par stocker l'attribut dans le registre Tampon Z1Ø décodé à l'écriture, sur le port ØF5H, activé par Z17.

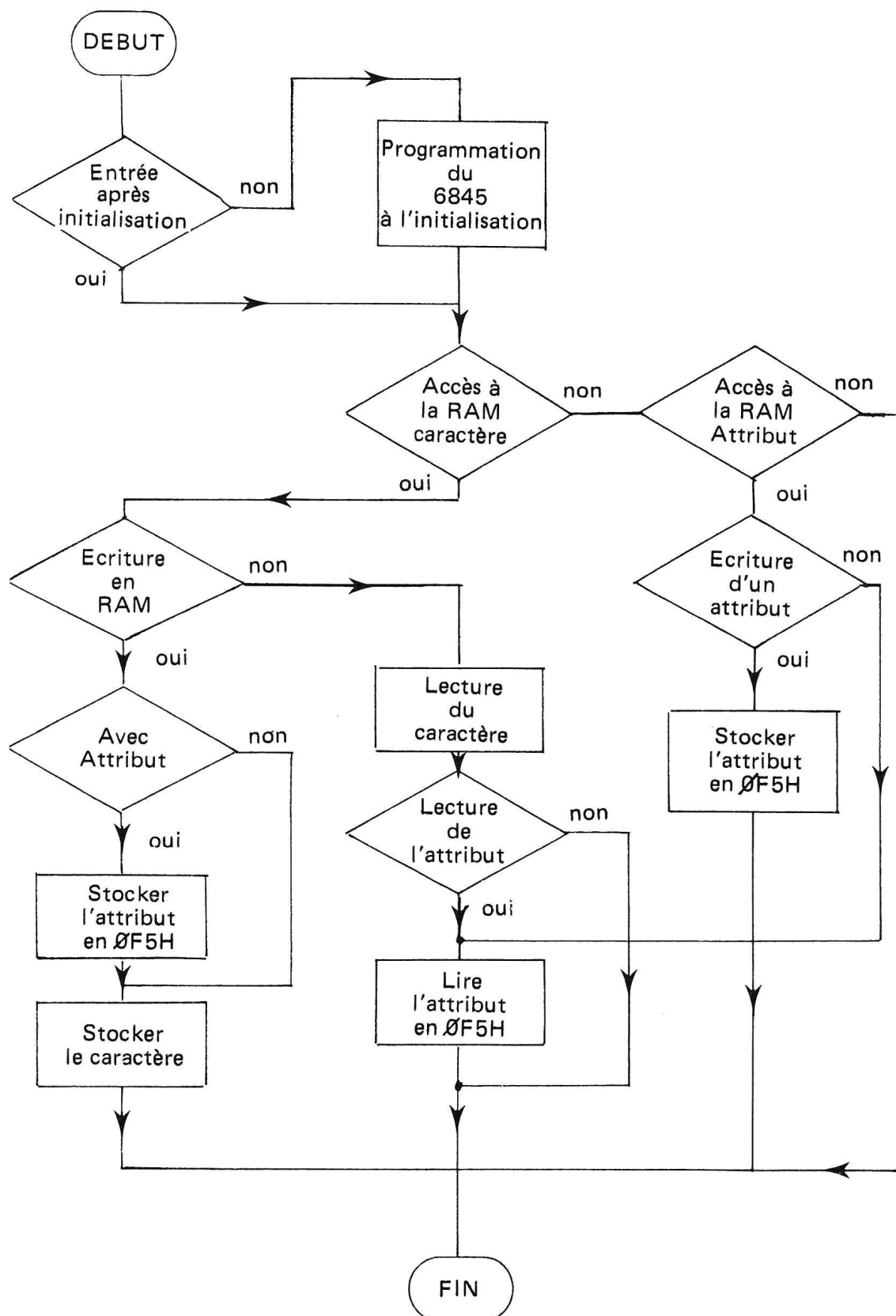
Puis nous stockons l'attribut dans la mémoire vidéo au moment où nous stockons le caractère dans la mémoire caractère. A ce moment là, l'attribut est transféré du registre Tampon Z10 vers la mémoire "RAM" Z28, qui est aussi une mémoire TC5516AP-2.

La carte vidéo est conçue aussi, pour que le processeur Z80 puisse venir lire le contenu de la mémoire vidéo.

Dans ce cas, les opérations se font en sens inverse.

Pour résumer ces différents accès, nous donnons l'organigramme de gestion vidéo.

ORGANIGRAMME DE LA GESTION VIDEO



1.2.3 - Une fois le circuit 6845 programmé et la mémoire vidéo chargée, il est nécessaire de transférer toutes ces informations sur nos deux moniteurs.

Cette tâche est réalisée par le bloc de traitement et de pilotage.

L'ensemble est cadencé par une horloge dont la fréquence est égale à 14,318 MHz.

Cette horloge donne la fréquence du point image, qui sort à l'état brut, sans son attribut, de Z7 en patte 13.

Z7 est le sérialisateur 74 LS 166.

Mais cette fréquence est aussi divisée par huit pour cadencer le fonctionnement du 6845.

Ce diviseur est réalisé avec le circuit Z4.

De plus pour des raisons de temps de propagation au travers des circuits, la donnée caractère ou attribut ne peut être transférée directement.

Le transfert s'effectue en plusieurs étapes cadencées par le signal $\Phi 1$ qui est généré par Z4, Z5 et Z9.

Le caractère passe successivement de Z19 à Z14, puis sur Z11 qui est le générateur de caractère qui délivre un octet de point d'image pour Z7 qui sérialise l'octet.

Pour l'attribut, il part de Z28 pour passer dans les retardateurs Z29, Z20 et Z24.

Le mélange des points images et des attributs se fait au travers de la chaîne des circuits Z33, Z34, Z38, Z39, Z32 et Z35.

Le codage du fond en couleur est réalisé sur Z16 décodé par le port $\emptyset F3H$ avec les lignes de donnée DL2 à DL6.

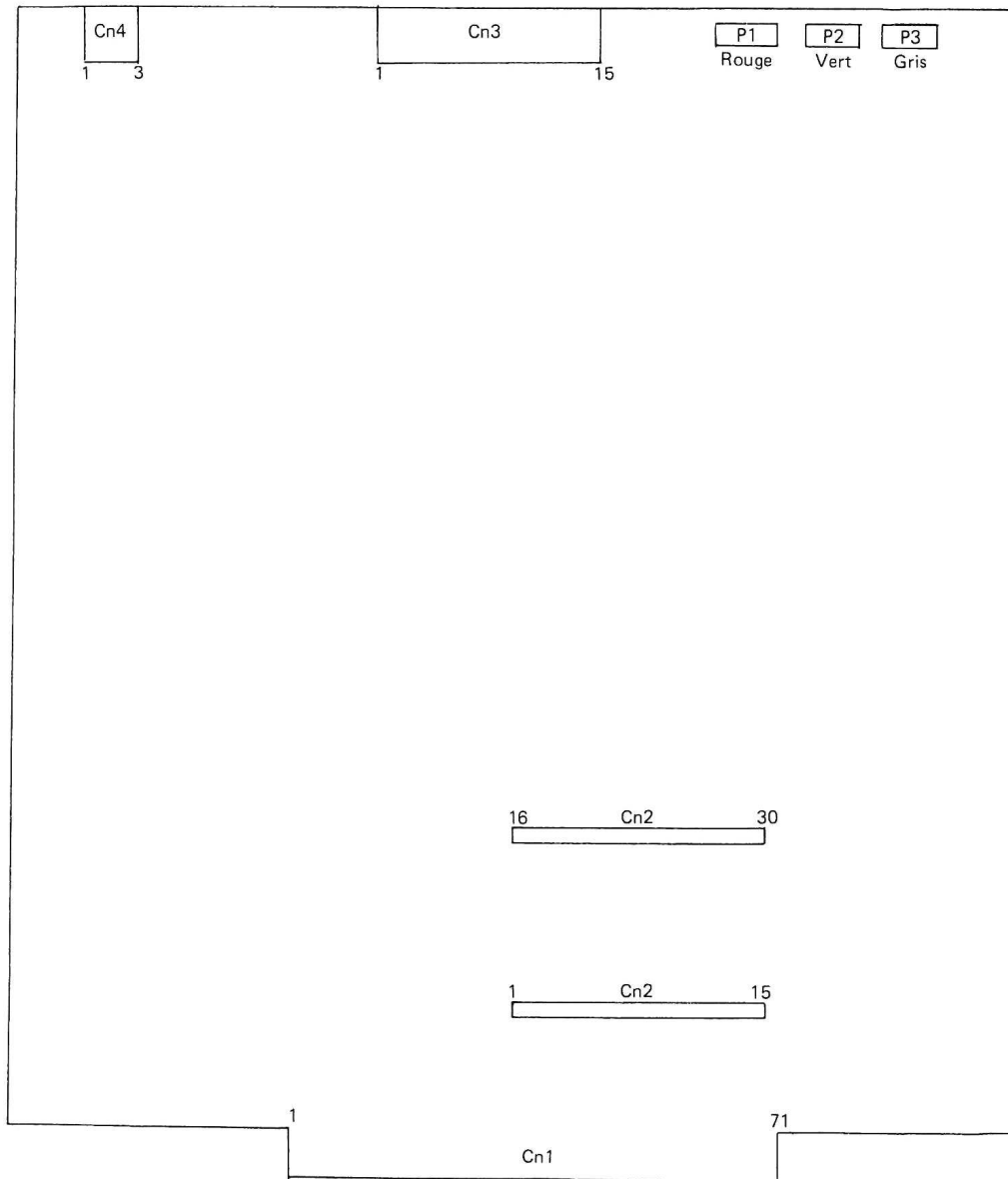
Le mélange des caractéristiques du fond et des caractères s'effectue au niveau de Z21 et Z25 qui sont pilotés par le signal vidéo brut sortant de la broche 8 de Z34.

L'ensemble des signaux sont amplifiés par les transistors BF 173 (de T1 à T6) qui délivrent une tension comprise entre 0 et 3,5 V sur 600 Ω en couleur et de 0 à 2 V sur 75 Ω en monochrome.

Nota : Sélection du port $\emptyset F3H \Rightarrow$

DL6	DL5	DL4	DL3	DL2
↓	↓	↓	↓	↓
vert foncé	bleu	vert	rouge	rouge foncé

CARTE VIDEO VUE COTE COMPOSANTS



CABLAGES BUS CN 1

+ 12 V	1	2	+ 12 V
+ 5 V	3	4	+ 5 V
MASSE	5	6	MASSE
MASSE	7	8	MASSE
$\overline{\text{RESET L}}$	9	10	$\overline{\text{NMI}}$
$\overline{\text{HALT L}}$	11	12	$\overline{\text{BAL}}$
$\overline{\text{Int}}$	13	14	$\overline{\text{RESET PARTIEL L}}$
NC	15	16	$\overline{\text{WRL}}$
$\overline{\text{M ReqL}}$	17	18	$\overline{\text{RdL}}$
$\overline{\text{IO ReqL}}$	19	20	MASSE
$\overline{\Phi}$ CPU	21	22	MASSE
$\overline{\text{M 1 L}}$	23	24	DLØ
$\overline{\text{ATTENTE}}$	25	26	DL 1
$\overline{\text{BUS REQ}}$	27	28	DL 2
$\overline{\text{BQ Ø DES}}$	29	30	DL 3
$\overline{\text{RF shL}}$	31	32	DL 4
$\overline{\text{CLa}}$	33	34	DL 5
$\overline{\text{BQ 2}}$	35	36	DL 6
$\overline{\text{BQ 3}}$	37	38	DL 7
$\overline{\text{BQ 4}}$	39	40	$\overline{\text{FA}}$
NC	41	42	RTC
NC	43	44	$\overline{\text{MARCHE MOTEUR}}$
$\overline{\text{In}}$	45	46	$\overline{\text{OUT}}$
NC	47	48	MASSE
ALØ	49	50	AL 1
AL 2	51	52	AL 3
AL 4	53	54	AL 5
AL 6	55	56	AL 7
AL 8	57	58	AL 9
AL 10	59	60	AL 11
AL 12	61	62	AL 13
AL 14	63	64	AL 15
NC	65	66	NC
- 12 V	67	68	- 12 V
MASSE	69	70	MASSE
+ 5 V	71	72	+ 5 V
NC	73	74	NC

CONNECTEUR D'EXTENSION VIDEO Cn2

Placer 2 barrettes de 15 broches femelles avec les signaux suivants :

N° 1			N° 2
Masse	1	16	DL1
AL $\emptyset$	2	17	DL $\emptyset$
AL1	3	18	DL2
AL2	4	19	DL3
AL3	5	20	DL4
AL4	6	21	DL5
AL5	7	22	DL6
AL6	8	23	DL7
AL7	9	24	$\overline{\text{VCP}}$
AL8	10	25	$\overline{\text{CSCP}}$
AL9	11	26	CP
AL10	12	27	$\overline{\text{RCSCP}}$
$\overline{\text{WRL}}$	13	28	Masse
NC	14	29	$\emptyset$ 14 MHz
+ 5 V	15	30	Masse

CONNECTEUR VIDEO Cn3

1	Masse
2	+ 12 V
3	NC
4	Vidéo
5	SYN Hor
6	SYN Ver
7	NC
8	SYN Comp
9	NC
10	Rouge
11	Vert
12	Bleu
13	Masse
14	+ 12 V
15	NC

CONNECTEUR CRAYON OPTIQUE Cn4

1	+ 5 V
2	Masse
3	LP St b

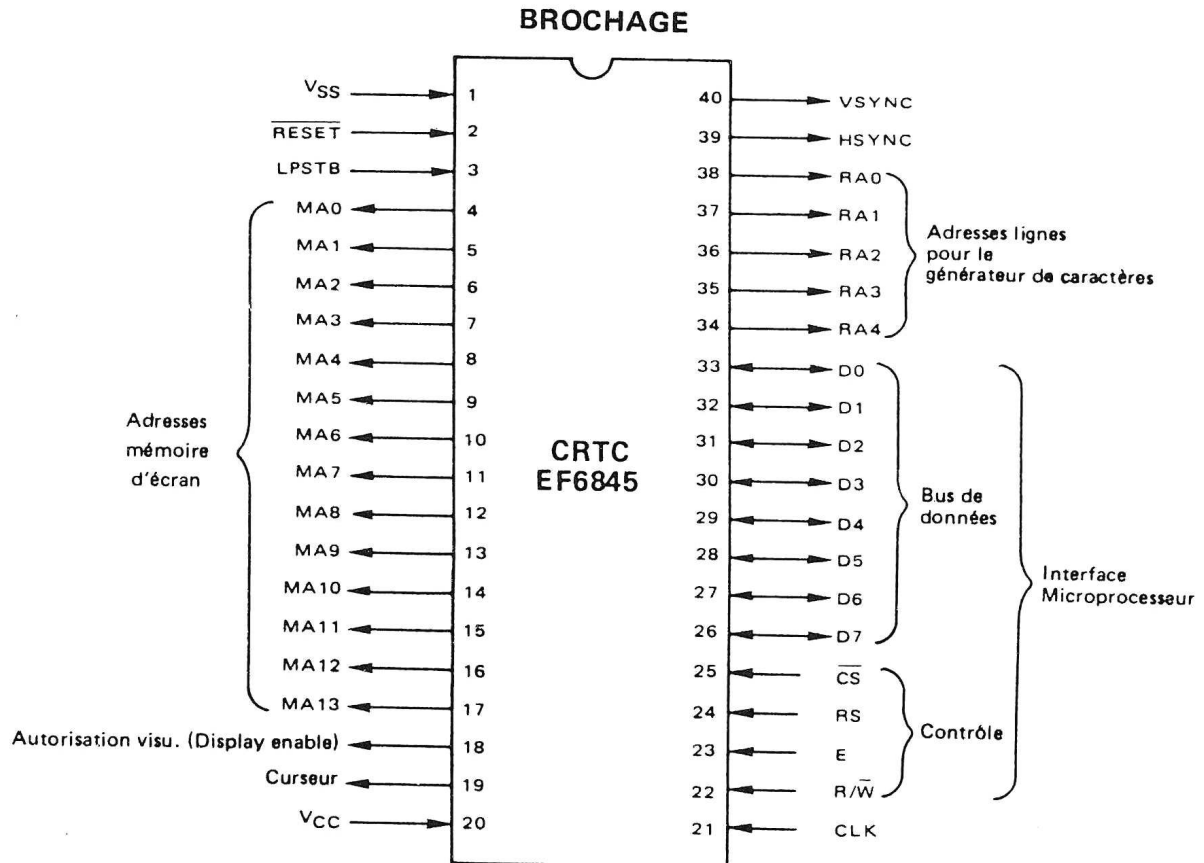


TABLEAU DES REGISTRES

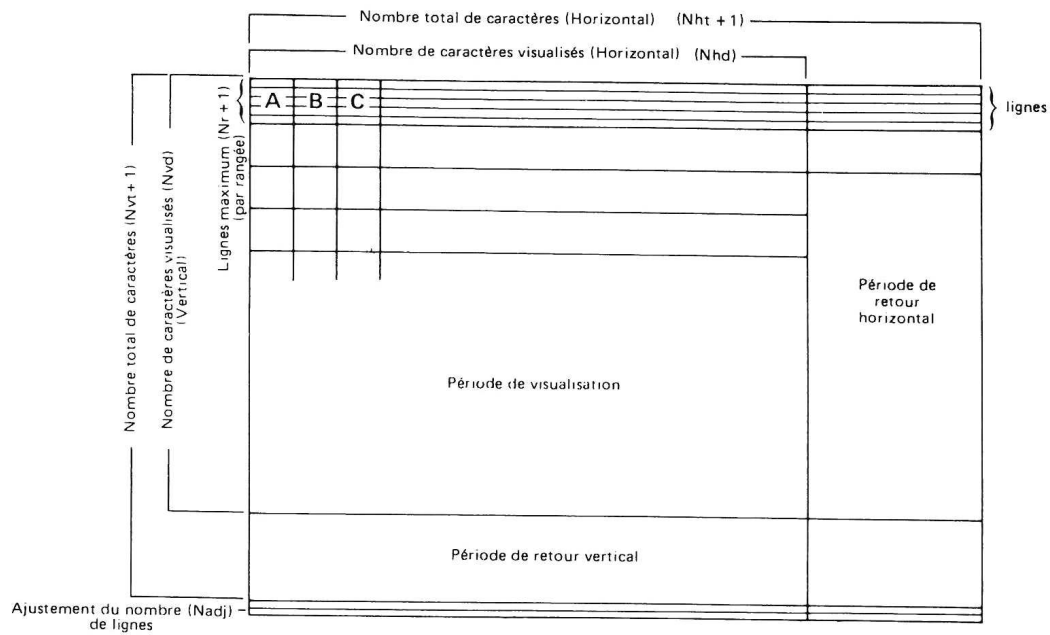
$\overline{CS}$	RS	Adresse du registre					Registre #	Nom des registres	Unité de programm.	Lecture	Ecriture	Nombre de bits							
		4	3	2	1	0						7	6	5	4	3	2	1	0
1	X	X	X	X	X	X	X	—	—	—	—	/	/	/	/	/	/	/	/
0	0	X	X	X	X	X	X	Registre d'adresses	—	Non	Oui	/	/	/	/	/	/	/	/
0	1	0	0	0	0	0	R0	Horizontal total	Caractères	Non	Oui	/	/	/	/	/	/	/	/
0	1	0	0	0	0	1	R1	Visualisation H.	Caractères	Non	Oui	/	/	/	/	/	/	/	/
0	1	0	0	0	1	0	R2	Position synchro H.	Caractères	Non	Oui	/	/	/	/	/	/	/	/
0	1	0	0	0	1	1	R3	Largeur synchro H.	Caractères	Non	Oui	/	/	/	/	/	/	/	/
0	1	0	0	1	0	0	R4	Vertical total	Rangées car.	Non	Oui	/	/	/	/	/	/	/	/
0	1	0	0	1	0	1	R5	Ajustement vertical	Lignes bal.	Non	Oui	/	/	/	/	/	/	/	/
0	1	0	0	1	1	0	R6	Visualisation verticale	Rangées car.	Non	Oui	/	/	/	/	/	/	/	/
0	1	0	0	1	1	1	R7	Position synchro vert.	Rangées car.	Non	Oui	/	/	/	/	/	/	/	/
0	1	0	1	0	0	0	R8	Modes entrelacés	—	Non	Oui	/	/	/	/	/	/	/	/
0	1	0	1	0	0	1	R9	Lignes adressées max.	Lignes bal.	Non	Oui	/	/	/	/	/	/	/	/
0	1	0	1	0	1	0	R10	Début du curseur	Lignes bal.	Non	Oui	/	/	/	/	/	/	/	/
0	1	0	1	0	1	1	R11	Fin du curseur	Lignes bal.	Non	Oui	/	/	/	/	/	/	/	/
0	1	0	1	1	0	0	R12	Adresse de départ (fort)*	—	Non	Oui	/	/	/	/	/	/	/	/
0	1	0	1	1	0	1	R13	Adresse de départ (faible)*	—	Non	Oui	/	/	/	/	/	/	/	/
0	1	0	1	1	1	0	R14	Curseur (fort)*	—	Oui	Oui	/	/	/	/	/	/	/	/
0	1	0	1	1	1	1	R15	Curseur (faible)*	—	Oui	Oui	/	/	/	/	/	/	/	/
0	1	1	0	0	0	0	R16	Light-pen (fort)*	—	Oui	Non	/	/	/	/	/	/	/	/
0	1	1	0	0	0	1	R17	Light-pen (faible)*	—	Oui	Non	/	/	/	/	/	/	/	/

Note (1) - Le bit 5 du registre départ du curseur est utilisé pour la période de clignotement et le bit 6 est utilisé pour sélectionner le clignotement ou non.

* : fort : octet de poids fort

faible : octet de poids faible

ILLUSTRATION DU FORMAT DE L'ECRAN DU 6845



VALEURS PROGRAMMEES DANS LES REGISTRES DU 6845

Reg.	Nom du registre	Valeur	Valeur programmée
R0	Horizontal total	$N_{ht} + 1$	N_{ht}
R1	Visualisation H.	N_{hd}	N_{hd}
R2	Position synchro H.	N_{hsp}	N_{hsp}
R3	Largeur synchro H.	N_{hsw}	N_{hsw}
R4	Vertical total	$N_{vt} + 1$	N_{vt}
R5	Ajustement vertical	N_{adj}	N_{adj}
R6	Visualisation V.	N_{vd}	N_{vd}
R7	Position synchro V.	N_{vsp}	N_{vsp}
R8	Modes entrelacés		
R9	Lignes adressées max.	N_{sl}	N_{sl}
R10	Début du curseur		
R11	Fin du curseur		
R12	Adresse de départ (fort)*	0	
R13	Adresse de départ (faible)*	0	
R14	Curseur (fort)*		
R15	Curseur (faible)*		
R16	Light-pen (fort)*		
R17	Light-pen (faible)*		

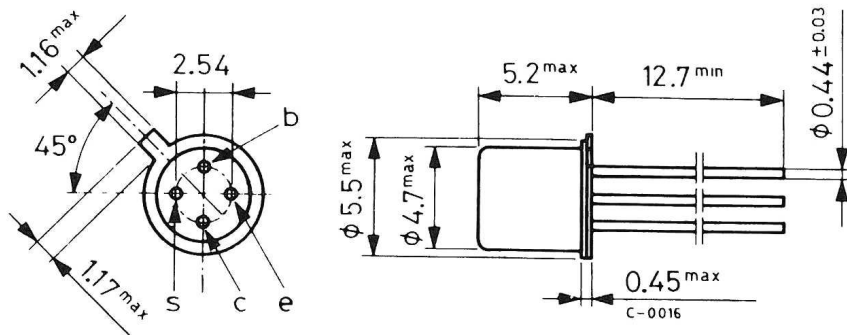
* : fort : octet de poids fort
faible : octet de poids faible

TRANSISTOR NPN - BF 173

CARACTERISTIQUES PRINCIPALES

V_{CBO}	Tension collecteur-base ($I_E = 0$)	40	V
V_{CEO}	Tension collecteur-émetteur ($I_B = 0$)	25	V
V_{EBO}	Tension émetteur-base ($I_C = 0$)	4	V
I_C	Courant collecteur	25	mA
P_{tot}	Puissance totale dissipée at $T_{amb} \leq 25\text{ °C}$	175	mW
	at $T_{case} \leq 25\text{ °C}$	230	mW
T_{stg}	Température de stockage	-55 to 175	°C
T_j	Température de jonction	175	°C

BROCHAGE



LISTE DES SEMI-CONDUCTEURS

Repère	Désignation	Repère	Désignation
Z 1	74 LS 74	Z31	74 LS 05
Z 2	74 LS 32	Z32	74 LS 04
Z 3	74 LS 123	Z33	74 LS 86
Z 4	74 LS 163	Z34	74 LS 32
Z 5	74 LS 10	Z35	74 LS 08
Z 6	74 LS 32	Z36	74 LS 02
Z 7	74 LS 166	Z37	74 LS 00
Z 8	SL 7404	Z38	74 LS 08
Z 9	74 LS 04	Z39	NE555 P Horloge
Z10	74 LS 374		
Z11	TMS 2732 EPROM		
Z12	74 LS 374		
Z13	74 LS 245		
Z14	74 LS 374	T 1	Transistor BF 173
Z15	F 68 B45 CRTC	T 2	Transistor BF 173
Z16	74 LS 374	T 3	Transistor BF 173
Z17	74 LS 138	T 4	Transistor BF 173
Z18	74 LS 157	T 5	Transistor BF 173
Z19	TC5516 RAM	T 6	Transistor BF 173
Z20	74 LS 174		
Z21	74 LS 157		
Z22	74 LS 21		
Z23	74 LS 157 & SN54S157		
Z24	74 LS 174		
Z25	74 LS 157		
Z26	74 LS 20		
Z27	74 LS 157		
Z28	TC5516 AP RAM		
Z29	74 LS 174		
Z30	74 LS 27		

LISTE DES RESISTANCES

Repère	Désignation	Repère	Désignation
R 1	2,2 K	P 1	Pot. ajustable 1 K
R 2	10 K	P 2	Pot. ajustable 1 K
R 3	680	P 3	Pot. ajustable 470
R 4	680		
R 5	2,2 K		
R 6	2,2 K		
R 7	2,2 K		
R 8	2,2 K		
R 9	2,2 K		
R10	2,2 K		
R11	560		
R12	82		
R13	560		
R14	2,2 K		
R15	2,2 K		
R16	2,2 K		
R17	2,2 K		
R18	2,2 K		
R19	2,2 K		
R20	470		
R21	510 K		
R22	510 K		
R23	27		
R24			

Résistances PW = 1/4 W - Tolérance 5% (si pas de spécification)

LISTE DES CONDENSATEURS

Repère	Désignation	Repère	Désignation
C 1	100 nF céramique	C45	1 MF 35 V tantale
C 2	100 MF 16 V chimique	C46	100 nF céramique
C 3	100 nF céramique	C47	100 MF 16 V chimique
C 4	100 nF céramique	C48	100 nF céramique
C 5	100 nF céramique		
C 6	120 pF céramique		
C 7	100 nF céramique		
C 8	100 nF céramique		
C 9	100 nF céramique		
C10	100 nF céramique		
C11	100 nF céramique		
C12	220 pF céramique		
C13	100 nF céramique		
C14	100 nF céramique		
C15	100 nF céramique		
C16	100 nF céramique		
C17	100 nF céramique		
C18	22 MF 16 V tantale		
C19	100 nF céramique		
C20	100 nF céramique		
C21	100 nF céramique		
C22	100 nF céramique		
C23	100 nF céramique		
C24	100 nF céramique		
C25	100 nF céramique		
C26	100 nF céramique		
C27	100 nF céramique		
C28	100 nF céramique		
C29	100 nF céramique		
C30	100 nF céramique		
C31	100 nF céramique		
C32	100 nF céramique		
C33	100 nF céramique		
C34	100 nF céramique		
C35	100 nF céramique		
C36	100 nF céramique		
C37	100 nF céramique		
C38	100 nF céramique		
C39	100 nF céramique		
C40	100 nF céramique		
C41	100 nF céramique		
C42	100 nF céramique		
C43	100 nF céramique		
C44	100 nF céramique		

Repère	Désignation
Q 1	QUARTZ 14,31818 MHz
	CONNECTEURS
CN2	(5210SN FEM D 15 B TULIPE) (5210SN FEM D 15 B TULIPE)
CN3	BARRETTE 15 B FEM COUDEE
CN4	BARRETTE 3 B FEM COUDEE
(Z11)	SUPPORT 24 B TULIPE
(Z19)	SUPPORT 24 B TULIPE
(Z28)	SUPPORT 24 B TULIPE
(Z15)	SUPPORT 40 B TULIPE
	C. IMPRIME

CARTE DISQUE

INTRODUCTION

Cette carte est aussi importante que l'unité centrale.

Car l'une des particularités du Guépard est d'avoir un petit moniteur d'initialisation et de posséder tous les logiciels sur disquette. Ce qui permet d'optimiser l'occupation de l'espace mémoire,

Au niveau conception électronique, nous trouvons quatre parties fonctionnelles qui sont :

- Interfaçage avec la CPU
- Sélection du lecteur
- Le processeur FD 1791 et ses commandes.
- L'interface des données pour les lecteurs.

1.1 - INTERFACE AVEC LA CPU

Cet interface assure principalement le décodage de la carte disque.

Notre carte disque est associée à la Banque BQ4 avec les adresses suivantes :

37E0H ou 37E1H sélection du lecteur.
37ECH accès aux registres de commande et d'état du 1791
37EDH accès au registre de piste
37EEH accès au registre de secteur
37EFH accès au registre de donnée.

Le décodeur est réalisé avec les circuits Z5, Z6, Z11, Z8, Z2, Z1, Z14.

Nous constatons que l'accès à la carte disque ne peut se faire que si BQ4 est sélectionnée.

Z14 permet de rallonger d'environ 250 ns le temps d'accès du 1791.

Mais l'interfaçage comprend aussi le contrôle du bus de donnée pour l'ensemble des circuits.

Z3 et Z4 servent à la fois pour isoler le bus de donnée Cn1 et amplifier ce même bus.

Pour des raisons de décodage, l'horloge délivrant le signal RTC est montée sur la carte disque autour de Z21 et Z15.

2.1 - SELECTION DU LECTEUR

Le système de sélection est composé des circuits Z10, Z24 et Z14.

Le décodage de ces circuits est piloté par l'adresse 37E0H ou 37E1H, sortant de Z2.

Z10 est le registre de la sélection du lecteur et de la face du disque souple. Le paramètre de ce registre est amplifié par Z24 avant d'attacher le câble en nappe qui va vers les lecteurs.

Le circuit Z14 est une temporisation d'environ 2,5 s qui valide le numéro du lecteur et la marche moteur des lecteurs.

Un retour de Z24 vers Z17 permet de signaler au contrôleur de disque Z16 que le lecteur est prêt.

3.1 - LE PROCESSEUR FD 1791

Ce circuit permet de contrôler une transaction complète avec un disque souple en ayant seulement reçu le code de la transaction à effectuer.

Cela permet de libérer le microprocesseur pour s'occuper d'une autre tâche en temps partagé.

Ce circuit électronique permet de contrôler un lecteur 8 pouces ou 5 pouces un quart. Pour cela nous avons installé un circuit de commande composé de Z6, Z8 et Z12, qui permet en envoyant la valeur 0C0H à l'adresse 37EEH de sélectionner le format 8 pouces ou 0F0H à l'adresse 37EEH de sélectionner le format 5 pouces un quart.

Le fait d'exécuter un "Reset G" sélectionne automatiquement en 5 pouces un quart.

Le FD 1791 gère la simple ou double densité. Là encore l'ensemble Z9, Z8 et Z30 permet de choisir le mode de densité par programmation comme suit.

La valeur 0FEH à l'adresse 37ECH positionne le WD 1791 en simple densité.

La valeur 0FFH à l'adresse 37ECH positionne le WD 1791 en double densité.

De plus, les commandes principales du circuit WD 1791 sont :

- Positionnement de la tête sur une piste x
- Lecture et écriture sur un secteur d'une piste
- Lecture et écriture sur une piste
- Annulation d'une commande en cours.

Ce qui permet de contrôler tous les types de disques souples existant

Pour que le circuit fonctionne normalement, il est nécessaire d'avoir une horloge.

Dans notre cas, l'horloge est conçue avec Z7. Qui donne un signal de fréquence 16 MHz qui est divisé par Z13 pour obtenir 8 MHz et 2 MHz ou 1 MHz en fonction de la sélection 8 pouces ou 5 pouces un quart.

4.1 - L'INTERFACE DES DONNEES AVEC LE LECTEUR

Cet interface permet d'adapter les signaux allant ou venant du FD 1791 à ceux venant ou allant du lecteur de disque.

Il est composé dans le sens de la lecture par Z27, Z11, Z18, Z30, Z19, Z20 et Z25.

Cet ensemble correspond au système PLL donné par les constructeurs de contrôleur de disque.

Dans le sens écriture nous utilisons les circuits Z29, Z28, Z11 et Z23.

Cela permet de gérer les précompensations dont l'algorithme est donné par le FD 1791.

La complexité de cet interface est due au fait que nous pouvons contrôler la simple ou double densité et le format cinq pouces un quart ou huit pouces.

Les sorties d'interfaçage sont pilotées avec des circuits à collecteur ouvert 7416 (Z26 et Z24).

Les deux tableaux suivants donnent l'ensemble des commandes exécutable par le FD 1791 et l'ensemble des différents états du FD 1791 au cours d'une exécution de commande.

TABLEAU DES COMMANDES

Type Command	Bits							
	7	6	5	4	3	2	1	0
I Retour piste Ø	0	0	0	0	h	V	r ₁	r ₀
I Recherche	0	0	0	1	h	V	r ₁	r ₀
I Déplacement	0	0	1	T	h	V	r ₁	r ₀
I Déplacement int.	0	1	0	T	h	V	r ₁	r ₀
I Déplacement ext.	0	1	1	T	h	V	r ₁	r ₀
II Lecture secteur	1	0	0	m	S	E	C	0
II Ecriture secteur	1	0	1	m	S	E	C	a ₀
III Lecture adresse	1	1	0	0	0	E	0	0
III Lecture piste	1	1	1	0	0	E	0	0
III Ecriture piste	1	1	1	1	0	E	0	0
IV Annulation	1	1	0	1	l ₃	l ₂	l ₁	l ₀

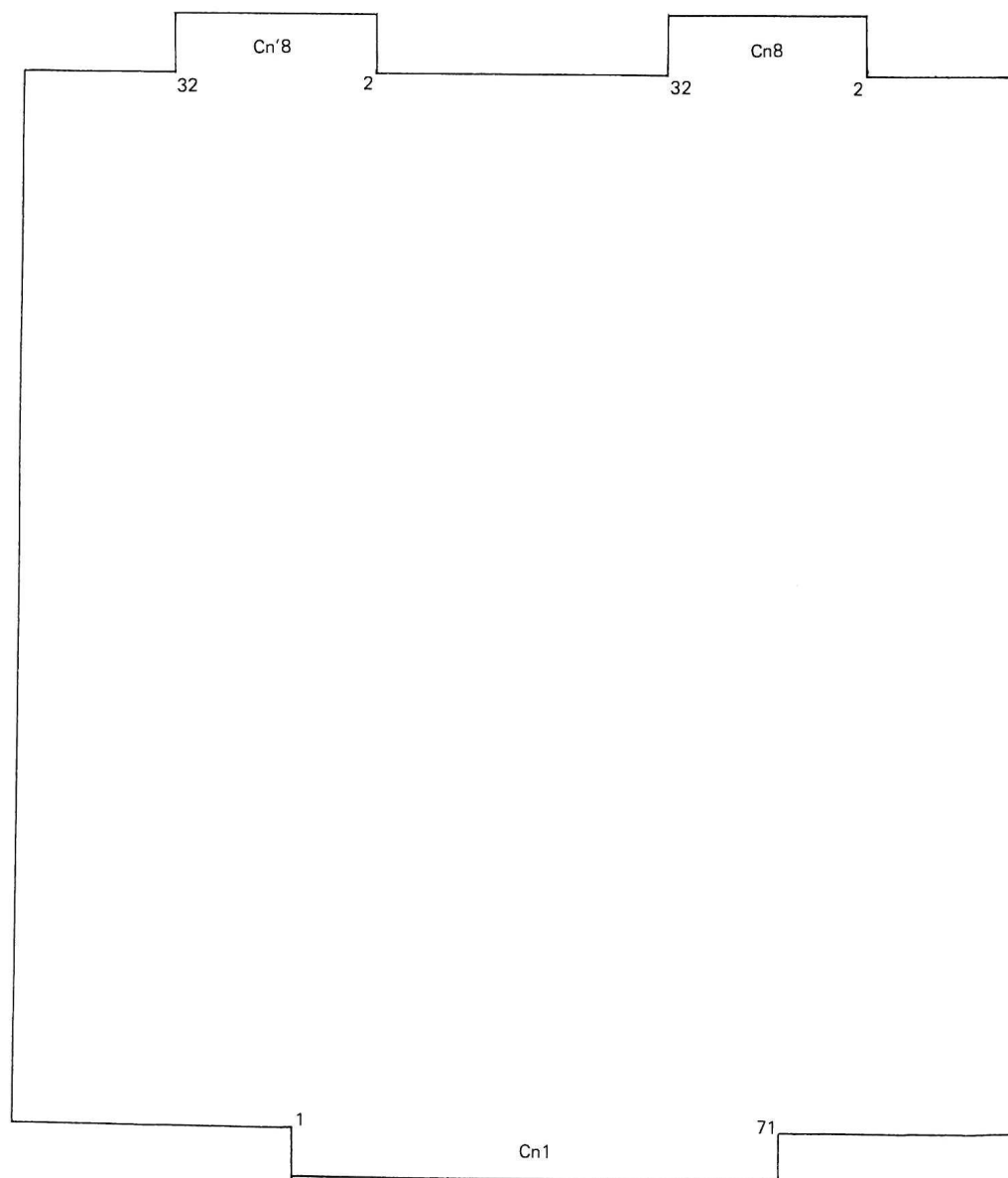
DEFINITION DES SYMBOLES

Description																							
V = 0, Pas de vérification V = 1, Vérification de la piste h = 1, Tête chargée pour commencer h = 0, Tête non chargée T = 0, Pas d'incréméntation T = 1, Incréméntation de registre de piste a0 = 0, FB (DAM) a0 = 1, F8 effacement DAM) C = 0, Pas de comparaison de face C = 1, Comparaison possible E = 0, Pas de délai E = 1, Délai de 15 ms S = 0, Comparaison Face 0 S = 1, Comparaison Face 1																							
<table border="1" style="width: 100%; text-align: center;"> <tr> <th rowspan="2"></th><th colspan="4">Valeur de la longueur du secteur</th></tr> <tr> <th>00</th><th>01</th><th>10</th><th>11</th></tr> <tr> <td>L = 0</td><td>256</td><td>512</td><td>1024</td><td>128</td></tr> <tr> <td>L = 1</td><td>128</td><td>256</td><td>512</td><td>1024</td></tr> </table>						Valeur de la longueur du secteur				00	01	10	11	L = 0	256	512	1024	128	L = 1	128	256	512	1024
	Valeur de la longueur du secteur																						
	00	01	10	11																			
L = 0	256	512	1024	128																			
L = 1	128	256	512	1024																			
m = 0, Simple enregistrement m = 1, Enregistrements multiples lx = Condition d'interruption l0 = 1 Pas prêt à prêt l1 = 1 Prêt à pas prêt l2 = 1 au passage de l'index l3 = 1 Interruption immédiate l3-l0 = 0 Annulation de la commande																							

TABLEAU DE L'EVOLUTION DU REGISTRE D'ETAT

BIT	COMMANDE DE TYPE I	LECTURE D'ADRESSE	LECTURE SECTEUR	LECTURE PISTE	ECRITURE SECTEUR	ECRITURE PISTE
D7	NOT READY	NOT READY	NOT READY	NOT READY	NOT READY	NOT READY
D6	WRITE PROTECT	0	0	0	WRITE PROTECT	WRITE PROTECT
D5	HEAD LOADED	0	RECORD TYPE	0	WRITE FAULT	WRITE FAULT
D4	SEEK ERROR	RNF	RNF	0	RNF	0
D3	CRC ERROR	CRC ERROR	CRC ERROR	0	CRC ERROR	0
D2	TRACK 0	LOST DATA	LOST DATA	LOST DATA	LOST DATA	LOST DATA
D1	INDEX PULSE	DRQ	DRQ	DRQ	DRQ	DRQ
D0	BUSY	BUSY	BUSY	BUSY	BUSY	BUSY

CARTE DISQUE VUE COTE COMPOSANTS



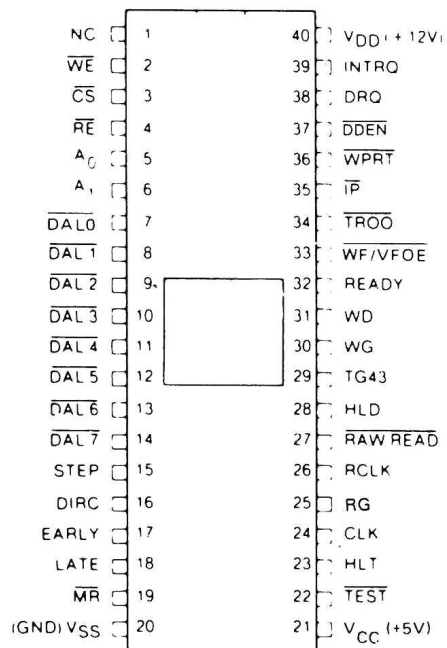
CABLAGE BUS CN 1

+ 12 V	1	2	+ 12 V
+ 5 V	3	4	+ 5 V
MASSE	5	6	MASSE
MASSE	7	8	MASSE
$\overline{\text{RESET L}}$	9	10	$\overline{\text{NMI}}$
$\overline{\text{HALT L}}$	11	12	$\overline{\text{BAL}}$
$\overline{\text{Int}}$	13	14	$\overline{\text{RESET PARTIEL L}}$
NC	15	16	$\overline{\text{WRL}}$
$\overline{\text{M ReqL}}$	17	18	$\overline{\text{RdL}}$
$\overline{\text{IO ReqL}}$	19	20	MASSE
$\overline{\Phi}$ CPU	21	22	MASSE
$\overline{\text{M 1 L}}$	23	24	DLØ
$\overline{\text{ATTENTE}}$	25	26	DL 1
$\overline{\text{BUS REQ}}$	27	28	DL 2
$\overline{\text{BQ Ø DES}}$	29	30	DL 3
$\overline{\text{RF shL}}$	31	32	DL 4
$\overline{\text{CLa}}$	33	34	DL 5
$\overline{\text{BQ 2}}$	35	36	DL 6
$\overline{\text{BQ 3}}$	37	38	DL 7
$\overline{\text{BQ 4}}$	39	40	$\overline{\text{FA}}$
NC	41	42	RTC
NC	43	44	$\overline{\text{MARCHE MOTEUR}}$
$\overline{\text{In}}$	45	46	$\overline{\text{OUT}}$
NC	47	48	MASSE
ALØ	49	50	AL 1
AL 2	51	52	AL 3
AL 4	53	54	AL 5
AL 6	55	56	AL 7
AL 8	57	58	AL 9
AL 10	59	60	AL 11
AL 12	61	62	AL 13
AL 14	63	64	AL 15
NC	65	66	NC
- 12 V	67	68	- 12 V
MASSE	69	70	MASSE
+ 5 V	71	72	+ 5 V
NC	73	74	NC

CABLAGE CN8 & CN'8 (CONNECTEUR DE DISQUE)

MASSE	1	2	NC
MASSE	3	4	C
MASSE	5	6	$\overline{SD3}$
MASSE	7	8	$\overline{IP}$
MASSE	9	10	$\overline{Sd0}$
MASSE	11	12	$\overline{Sd1}$
MASSE	13	14	$\overline{Sd2}$
MASSE	15	16	$\overline{COM. MOTEUR}$
MASSE	17	18	$\overline{DIR}$
MASSE	19	20	$\overline{STEP}$
MASSE	21	22	$\overline{WD}$
MASSE	23	24	$\overline{WG}$
MASSE	25	26	$\overline{TR\emptyset\emptyset}$
MASSE	27	28	$\overline{WPRT}$
MASSE	29	30	Read Data
MASSE	31	32	$\overline{S Face}$
MASSE	33	34	NC

FD 1791-02



BROCHAGE

DECODAGE DES REGISTRES

	A1 - A0		LECTURE ($\overline{RE}$)	ECRITURE ($\overline{WE}$)
37 EC	0	0	Registre d'état	Registre de commande
37 ED	0	1	Registre de piste	Registre de piste
37 EE	1	0	Registre de secteur	Registre de secteur
37 EF	1	1	Registre de donnée	Registre de donnée

LISTE DES SEMI-CONDUCTEURS

Repère	Désignation
Z 1	74 LS 05
Z 2	74 LS 155
Z 3	74 LS 240
Z 4	74 LS 240
Z 5	74 LS 30
Z 6	74 LS 27
Z 7	SL 7404
Z 8	74 LS 10
Z 9	74 LS 27
Z10	74 LS 174
Z11	74 LS 04
Z12	74 LS 74
Z13	74 LS 161
Z14	74 LS 123
Z15	74 LS 367
Z16	WD 1791
Z17	74 LS 20
Z18	74 LS 74
Z19	74 LS 161
Z20	74 LS 161
Z21	NE 555 P
Z22	74 LS 74
Z23	74 LS 126
Z24	SN 7416
Z25	74 LS 02
Z26	SN 7416
Z27	74 LS 27
Z28	74 LS 153
Z29	74 LS 74
Z30	74 LS 74

LISTE DES RESISTANCES

Repère	Désignation
R 1	1 K
R 2	470
R 3	470
R 4	470
R 5	47 K
R 6	10 K
R 7	10 K
R 8	10 K
R 9	150
R10	150
R11	150
R12	150
R13	150
R14	150
R15	4,7 K
R16	220 K 1/4 W 2%
R17	330 K 1/4 W 2%

Résistances PW = 1/4 W Tolérance 5% (si pas de spécification).

LISTE DES CONDENSATEURS

Repère	Désignation
C 1	100 MF 16 V chimique
C 2	100 MF 16 V chimique
C 3	100 nF céramique
C 4	100 nF céramique
C 5	100 nF céramique
C 6	100 nF céramique
C 7	100 nF céramique
C 8	100 nF céramique
C 9	100 nF céramique
C10	220 pF céramique
C11	100 nF céramique
C12	100 nF céramique
C13	100 nF céramique
C14	100 nF céramique
C15	100 nF céramique
C16	100 nF céramique
C17	30 pF céramique
C18	100 nF céramique
C19	100 nF céramique
C20	100 MF 16 V chimique
C21	100 nF céramique
C22	100 nF céramique
C23	100 nF céramique
C24	100 nF céramique
C25	100 nF céramique
C26	100 nF céramique
C27	10 nF céramique
C28	47 nF 250 V métal
C29	100 nF céramique
C30	100 nF céramique
C31	100 nF céramique
C32	100 nF céramique
C33	100 nF céramique
C34	100 nF céramique
C35	100 nF céramique
C36	100 nF céramique
C37	100 nF céramique
C38	
C39	
C40	
C41	100 nF céramique
C42	
C43	
C44	100 nF céramique
C45	22 MF 16 V tantale
C46	22 MF 16 V tantale

Repère	Désignation
Y 1	QUARTZ 16 MHz
(Z16)	CONNECTEURS SUPPORT 40 B TULIPE
	C. IMPRIME

CARTE ALIMENTATION

INTRODUCTION

Le bloc Alimentation d'un microcalculateur est un maillon très important.

De la qualité de celui-ci dépendra la qualité du fonctionnement du calculateur.

Ses caractéristiques principales sont :

- Taux d'ondulation très faible.
- Les variations de débit de courant doivent être parfaitement absorbées par les régulateurs avec un temps de réponse minimum.
- Filtrer les parasites extérieurs.
- Pour les plus performants, insensibles aux coupures ou microcoupures du secteur.

Pour notre bloc d'alimentation, nous avons respecté ces contraintes en utilisant un filtre secteur, des composants actifs de chez Lambda, une batterie de sauvegarde et un détecteur de microcoupure.

Notre carte est composée de quatre parties distinctes, qui sont :

- un bloc de tension + 12 V pour le moniteur vidéo.
- un bloc de tension + 12 V et - 12 V pour l'ensemble du calculateur.
- un bloc de tension + 5 V pour l'ensemble de la machine.
- un détecteur de microcoupure avec batterie de sauvegarde.

1.1 - BLOC D'ALIMENTATION POUR LE MONITEUR VIDEO

Ce bloc d'alimentation a été mis au point pour éviter que l'image saute "un peu" à la mise sous tension des lecteurs de disque ou des appels de courants du système sous + 12 V.

Il est composé du régulateur LAS 1512 qui est attaqué par une tension redressée, filtrée aux bornes de DP1 et C6.

2.1 - BLOC D'ALIMENTATION + 12 V, - 12 V

Cette circuitrie permet d'alimenter le WD 1791, la liaison série et les lecteurs de disque.

Elle est composée du régulateur LAS 1412 protégé par la diode 1 N 4004 contre les tensions inverses à la commutation du relais LY4 SV12V.

Ce circuit délivre une tension de + 12 V sous 3 A.

Cette tension sert à alimenter le circuit TDB 555 DP qui convertit la tension + 12 V en - 12 V sous un débit de 30 mA.

Cette tension négative sert pour alimenter la liaison série du micro-calculateur Guépard.

Cette tension de - 12 V est ajustée avec la résistance ajustable RV1 de 100 K Ω .

3.1 - BLOC D'ALIMENTATION + 5 V

Cet ensemble est construit autour du régulateur ajustable LAS 39 U.

Ce circuit prend sa tension redressée et filtrée sur DP2 et le condensateur C8 de 33000 μ F.

L'ajustement de la tension est obtenu avec la résistance variable RV2 de 200 Ω .

Le débit en courant de ce circuit est de 8 ampères.

4.1 - DETECTEUR DE MICROCOUPURE - SAUVEGARDE

Le bon fonctionnement de la commutation du secteur vers la batterie ou vice et versa, nécessite trois éléments.

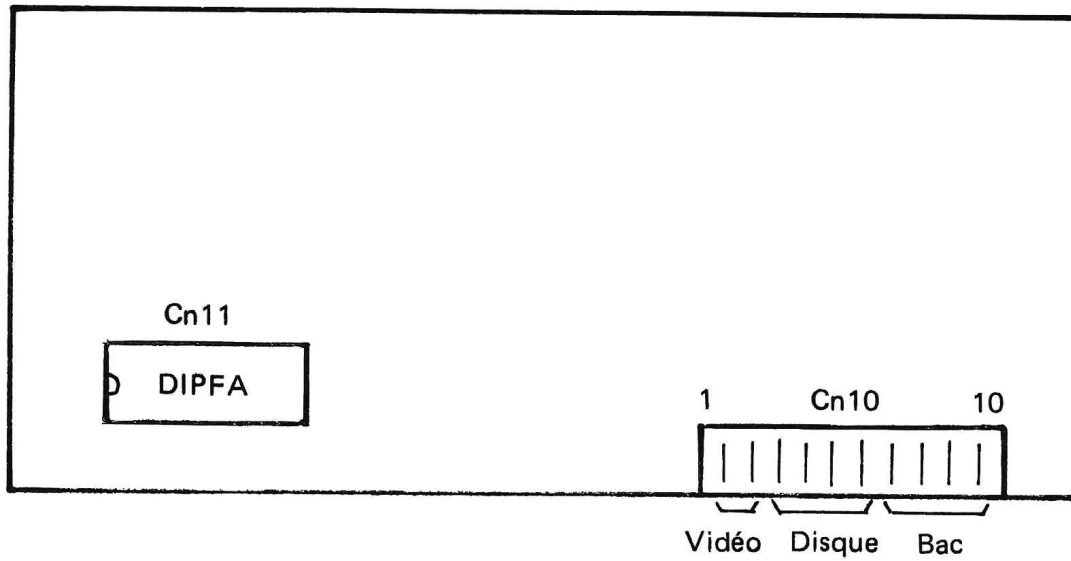
Un détecteur de microcoupure, ici réalisé par D1 - D2 suivies de T1 et T2 attaquant lui-même IC1 (74122) qui libère un signal qui va être amplifié par T3 (BC338) qui pilote le relais LY4.

Ce relais doit commuter assez rapidement, car pendant sa commutation le système n'est plus alimenté, et ce sont les condensateurs C8, C6 et C7 (troisième élément) qui jouent le rôle de batterie, jusqu'au moment où le relais a fini de commuter et que la batterie alimente les régulateurs.

La batterie montée dans le Guépard d'origine est de 12 V 6A/heure et permet de maintenir le Guépard de base en fonctionnement normal environ 1 heure.

Il est tout à fait possible de rajouter une batterie extérieure de + 12 V type automobile.

BLOC ALIMENTATION VUE DE DESSUS



CONNECTEUR DIPFA

Cn11

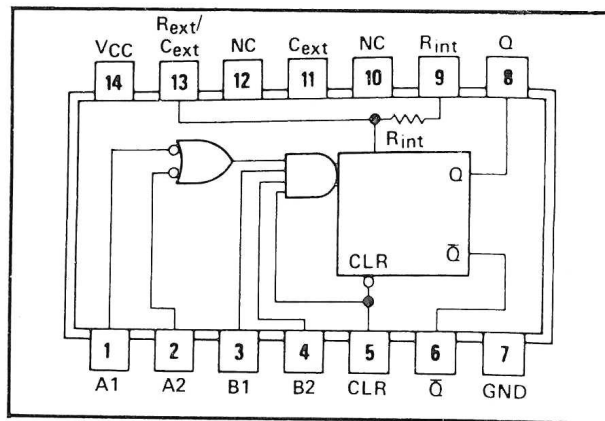
- | | |
|----|-------------------------------------|
| 1 | Remise sur secteur |
| 2 | Remise sur secteur |
| 3 | Led verte, présence secteur |
| 4 | Cathode led rouge présence batterie |
| 5 | Anode led rouge présence batterie |
| 6 | Arrêt du bip (retour) |
| 7 | Arrêt du bip |
| 8 | NC |
| 9 | NC |
| 10 | NC |
| 11 | NC |
| 12 | Masse |
| 13 | Masse |
| 14 | Masse |

CONNECTEUR ALIMENTATION

Cn10

- | | |
|----|--------------------|
| 1 | Masse vidéo |
| 2 | + 12 V vidéo |
| 3 | Masse disque |
| 4 | + 12 V disque |
| 5 | Masse disque |
| 6 | + 5 V disque |
| 7 | + 5 V bac à carte |
| 8 | Masse bac à carte |
| 9 | + 12 V bac à carte |
| 10 | - 12 V bac à carte |

SN 74122



BROCHAGE

ENTREES					SORTIES	
CLEAR	A1	A2	B1	B2	Q	Q̄
L	X	X	X	X	L	H
X	H	H	X	X	L	H
X	X	X	L	X	L	H
X	X	X	X	L	L	H
H	L	X	↑	H	⌊	⌋
H	L	X	H	↑	⌊	⌋
H	X	L	↑	H	⌊	⌋
H	X	L	H	↑	⌊	⌋
H	H	↓	H	H	⌊	⌋
H	↓	↓	H	H	⌊	⌋
H	↓	H	H	H	⌊	⌋
↑	L	X	H	H	⌊	⌋
↑	X	L	H	H	⌊	⌋

TABLE DE VERITE

LISTE DES SEMI-CONDUCTEURS

Repère	Désignation	Repère	Désignation
IC 1	SN 74122		Pont de Graetz
IC 2	HEF 4013		
IC 3	HEF 4093		FB 2506 sur
IC 4	TDB 555		FB 2506 radiateur
	C.I. REGULATEURS		
RG			
7805	SFC 2805		
RG			
7812	SFC 2812		
	LAS 1512 sur		
	LAS 1412 radiateur		
	LAS 39 U		
	TRANSISTORS		
T 1	2 N 2907		
T 2	2 N 2222		
T 3	BC 338		
	DIODES		
D 1	1 N 4148		
D 2	1 N 4148		
D 3	1 N 4004		
D 4	1 N 4004		
D 5	1 N 4148		
D 6	1 N 4148		
D 7	1 N 4148		
D 8	1 N 4148		
D 9	1 N 4148		
D10	1 N 4004		
D11	BY 214 2 W		
D12	LED ROUGE 0 5		
	CLIPS LED 0 5		

LISTE DES RESISTANCES

Repère	Désignation	Repère	Désignation
R 1	10 K	RV1	100 K ajustable horizontale
R 2	10 K	RV2	200 ajustable linéaire
R 3	4,7 K	RV3	varistor (ventilateur)
R 4	4,7 K		
R 5	1 K		
R 6	47 K		
R 7	47 K		
R 8	2,2 K		
R 9	1 K		
R10	150 K		
R11	150 K		
R12	1 M		
R13	47 K		
R14	470		
R15	560		
R16	560		
R17	10 2 W 2%		
R18			
R19	470 1/4 W 2%		
R20	1 K		
R21	10 K		
R22	68 K		
R23	1 K (sur châssis)		

Résistances PW = 1/4 W Tolérance 5% (sauf spécification)

LISTE DES CONDENSATEURS

Repère	Désignation
C 1	1 MF 63 V chimique
C 2	220 MF 25 V chimique
C 3	6,8 nF plastique
C 4	4,7 MF 63 V chimique
C 5	10 MF 40 V chimique
C 6	33000 MF 16 V chimique
C 7	33000 MF 16 V chimique
C 8	33000 MF 16 V chimique
C 9	0,22 MF 35 V tantale
C10	0,1 MF 35 V tantale
C11	0,22 MF 35 V tantale
C12	0,1 MF 35 V tantale
C13	0,22 MF 35 V tantale
C14	0,1 MF céramique
C16	470 MF 16 V chimique
C17	470 MF 16 V chimique
C18	220 MF 16 V chimique
C19	220 MF 16 V chimique

Repère	Désignation	Qté	Désignation
PB 2720	BUZZER PB 2720	1	PIECES ELECTRIQUES
FA 1	FUSIBLE 3,15 A RAPIDE		RELAIS OMRON LY4 12 V 15 x 13
FA 2	FUSIBLE 10 A RAPIDE	1	CANON
	CONNECTEURS	1	MICA TO 220
		1	TRANSF. TORIQUE 33WE286
DIP FA	SUPPORT 14 B DIP FA	1	VENTILATEUR 4890 W
		1	FERRITE
RL 4 RT	SUPPORT RELAIS PT14-0	1	BAGUE PLASTIQUE
	BORNIER 10B AMP DROIT	2	COSSE A SOUDER 0 6
		10	COSSE AMP 6,3 FEM
		3	CACHE COSSE 6,3 NOIR
		3	CACHE COSSE 6,3 ROUGE
		2	PORTE FUSIBLE
		2	FICHE FEM BANANE
		1	INVERSEUR DOUBLE M/A
		1	INVERSEUR RUSSEM
		1	FILTRE SECTEUR
		1	RADIATEUR USINE

APPENDICE A

CONNECTEUR SUR CARTE

N°	Désignation	Page
Cn1	Bus du Microcalculateur	MT 2 - 9
Cn2	Générateur de caractère probrammable	MT 4 - 8
Cn3	Sortie vidéo	MT 4 - 9
Cn4	Crayon optique	MT 4 - 9
Cn5	Sortie parallèle	MT 3 - 9
Cn6	Entrée/sortie RS232C	MT 3 - 10
Cn7	Dip clavier	MT 3 - 11
Cn8	Disque interne	MT 5 - 9
Cn8'	Disque externe	MT 5 - 9
Cn9	Reset/Fréquence	MT 2 - 10
Cn10	Alimentation	MT 6 - 3
Cn11	DIPFA	MT 6 - 3
CN12	Cassette	MT 3 - 11

CONNECTEUR HORS CARTE

N°	Désignation	Page
Cn13	Crayon optique	MU 6 - 4
Cn14	Clavier	MT 3 - 12
Cn15	Péritel (8 broches)	MU 6 - 3
Cn16	Cassette (5 broches)	MU 6 - 3

APPENDICE B

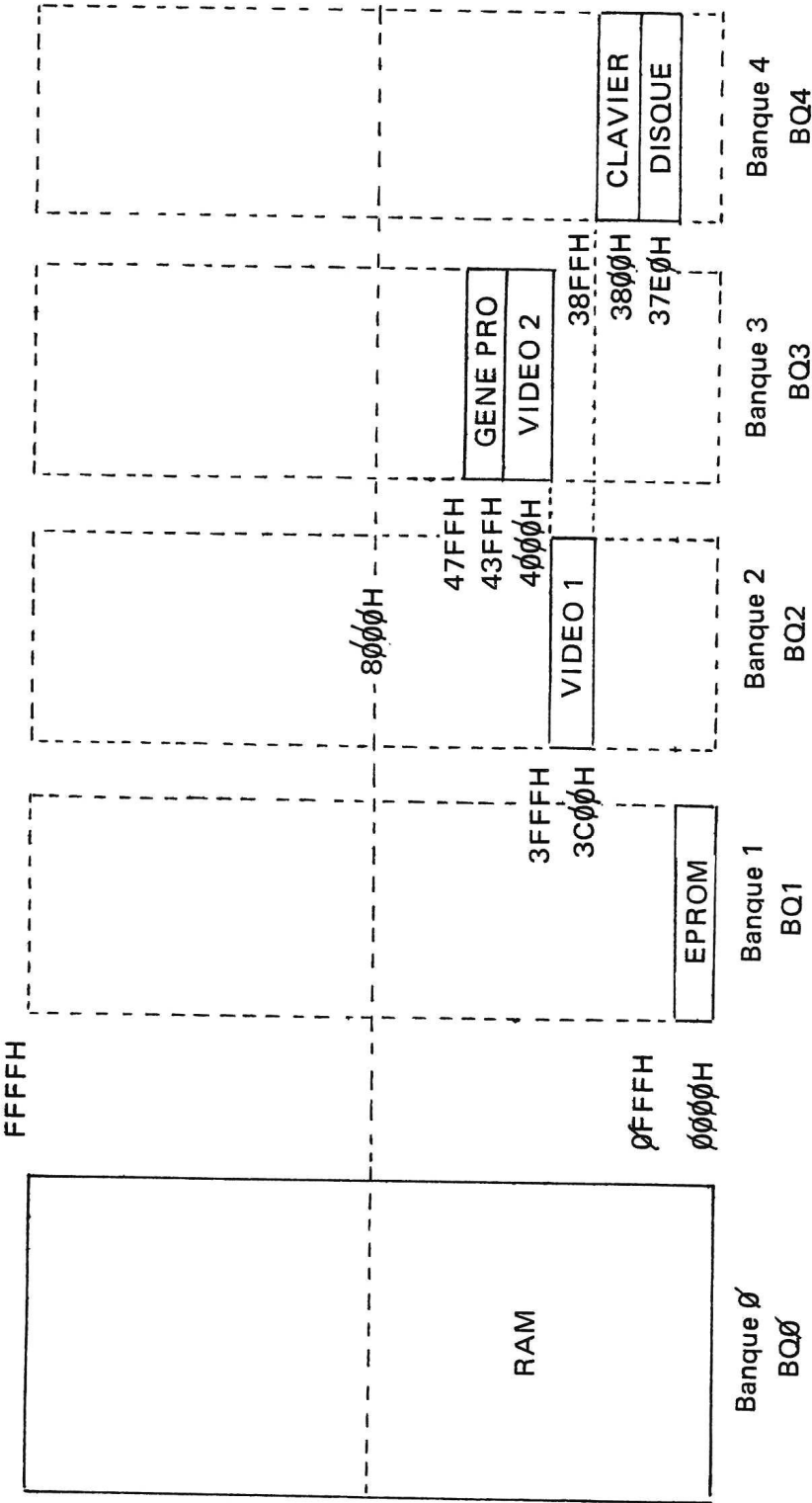
REPARTITION DES ADRESSES D'ENTREE/SORTIE

N° du Port	Utilisation
00H à 04H	Moyenne Résolution Graphique 250 x 320 points
05H à 07H	Réservé
08H à 1FH	Modem - Vidéotex
20H à 2FH	HPIB - Processeur Arithmétique (IEEE)
30H à 3FH	Conversion Analogique/Numérique et Numér./Analog.
40H à 4FH	Haute résolution graphique 300 x 640 points
50H à 5FH	Disque dur
60H à 7FH	Réservé
80H à 9FH	Libre pour l'utilisateur
0A0H à 0AEH	Réservé
0AFH	Interdit
0B0H à 0BFH	Carte de Programmation d'«Eprom»
0C0H à 0C7H	Interdit
0C8H à 0CFH	Réservé

Suite APPENDICE B

N° du Port	Utilisation
ØDØH	Mémoire de 256 K octets
ØD1H à ØDFH	Réservé
ØEØH ØE1H	Calendrier
ØE2H à ØE4H	Générateur de Son
ØE5H à ØE7H	Réservé
ØE8H à ØEEH	Registres du Contrôleur - "Série RS232C"
ØEFH	"Reset" de la "Série RS232C"
ØFØH à ØF2H	Réservé
ØF3H	Couleur du Fond
ØF4H	Réservé
ØF5H	Attribut du Caractère
ØF6H ØF7H	Registre du Contrôleur Vidéo 6845
ØF8H ØF9H	Réservé
ØFAH	Sélection des Banques BQ1 à BQ4
ØFBH ØFCH	Réservé
ØFDH	Sortie Parallèle (Imprimante)
ØFEH	Réservé
ØFFH	Cassette

APPENDICE C REPARTITION DES ADRESSES MEMOIRES DANS LE SYSTEME BANQUE



APPENDICE D

NOTATION UTILISEE DANS LES TABLES DE VERITE

H : niveau logique à "1"

L : niveau logique à " $\emptyset$ "

h : niveau logique à "1" sur la transition d'horloge

l : niveau logique à " $\emptyset$ " sur la transition d'horloge

↑ : actif sur le front montant d'horloge

↓ : actif sur le front descendant d'horloge

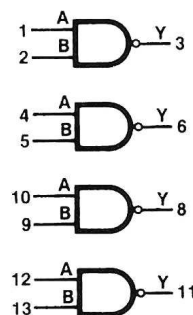
X : l'état peut-être quelconque

Z : état de haute impédance

74 LS 00

ENTREES		SORTIE
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

TABLE DE VERITE

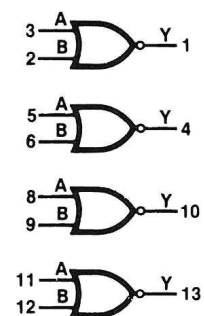


SYMBOLE LOGIQUE

74 LS 02

ENTREES		SORTIE
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	L

TABLE DE VERITE

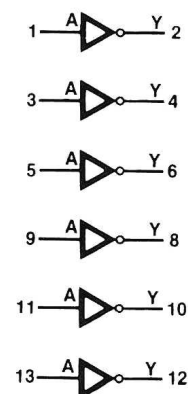


SYMBOLE LOGIQUE

74 LS 04

ENTREE	SORTIE
A	Y
L	H
H	L

TABLE DE VERITE

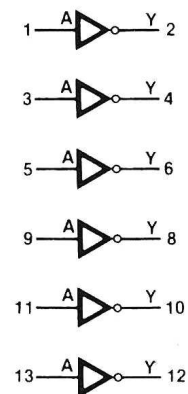


SYMBOLE LOGIQUE

74 LS 05

ENTREE	SORTIE
A	Y
L	H
H	L

TABLE DE VERITE

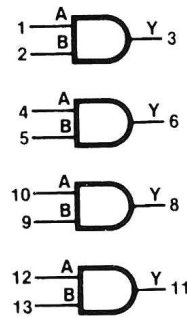


SYMBOLE LOGIQUE

74 LS 08

ENTREES		SORTIE
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

TABLE DE VERITE

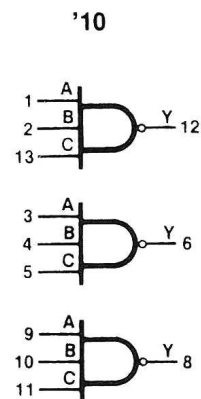


SYMBOLE LOGIQUE

74 LS 10

ENTREES			SORTIE
A	B	C	Y('10)
L	L	L	H
L	L	H	H
L	H	L	H
L	H	H	H
H	L	L	H
H	L	H	H
H	H	L	H
H	H	H	L

TABLE DE VERITE

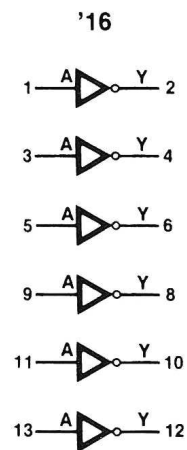


SYMBOLE LOGIQUE

7416

'16	
ENTREE	SORTIE
A	Y
L	H
H	L

TABLE DE VERITE

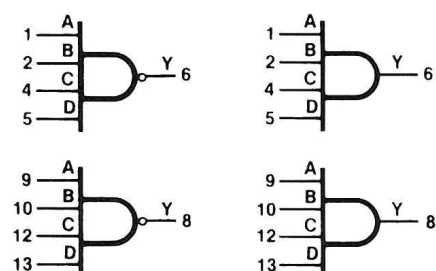


SYMBOLE LOGIQUE

74 LS 20 et 74 LS 21

ENTREES				SORTIE	
A	B	C	D	Y('20)	Y('21)
L	X	X	X	H	L
X	L	X	X	H	L
X	X	L	X	H	L
X	X	X	L	H	L
H	H	H	H	L	H

TABLE DE VERITE

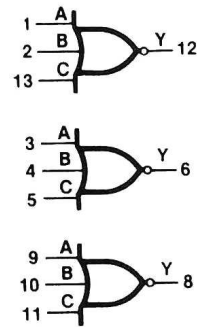


SYMBOLE LOGIQUE

74 LS 27

ENTREES			SORTIE
A	B	C	Y
L	L	L	H
X	X	H	L
X	H	X	L
H	X	X	L

TABLE DE VERITE

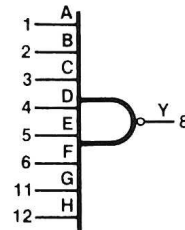


SYMBOLE LOGIQUE

74 LS 30

ENTREES								SORTIE
A	B	C	D	E	F	G	H	Y
L	X	X	X	X	X	X	X	H
X	L	X	X	X	X	X	X	H
X	X	L	X	X	X	X	X	H
X	X	X	L	X	X	X	X	H
X	X	X	X	L	X	X	X	H
X	X	X	X	X	L	X	X	H
X	X	X	X	X	X	L	X	H
X	X	X	X	X	X	X	L	H
H	H	H	H	H	H	H	H	L

TABLE DE VERITE

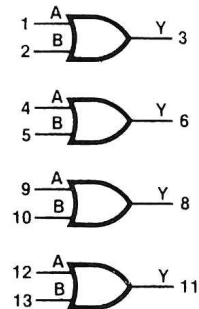


SYMBOLE LOGIQUE

74 LS 32

ENTREES		SORTIE
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

TABLE DE VERITE

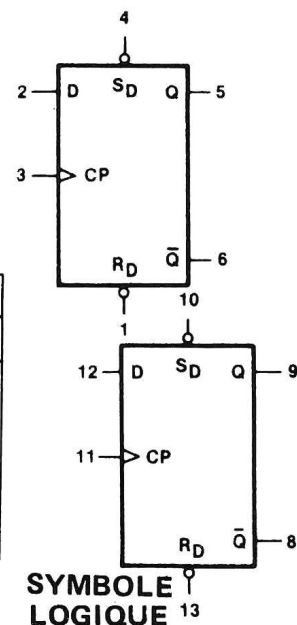


SYMBOLE LOGIQUE

74 LS 74

MODE	ENTREES				SORTIES	
	$\bar{S}_D$	$\bar{R}_D$	CP	D	Q	$\bar{Q}$
mise à 1	L	H	X	X	H	L
mise à 0	H	L	X	X	L	H
indéterminé	L	L	X	X	H	H
chargement de 1	H	H	↑	h	H	L
chargement de 0	H	H	↑	↑	L	H

TABLE DE VERITE

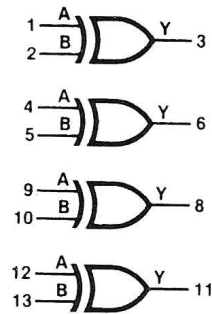


SYMBOLE LOGIQUE

74 LS 86

ENTREES		SORTIE
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

TABLE DE VERITE

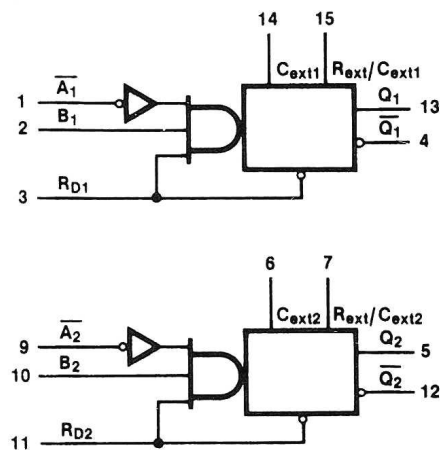


SYMBOLE LOGIQUE

74 LS 123

ENTREES			SORTIES	
R _D	$\bar{A}$	B	Q	$\bar{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑	□	□
H	↓	H	□	□
↑	L	H	□	□

TABLE DE VERITE

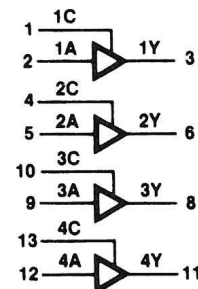


SYMBOLE LOGIQUE

74 LS 126

ENTREES		SORTIE
C	A	Y
H	L	L
H	H	H
L	X	(Z)

TABLE DE VERITE



SYMBOLE LOGIQUE

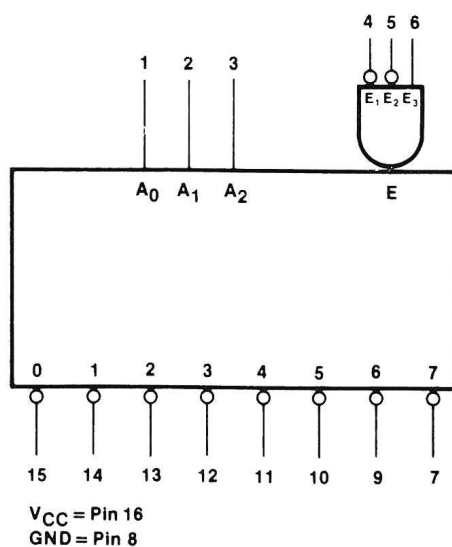
74 LS 138

ENTREES						SORTIES							
$\bar{E}_1$	$\bar{E}_2$	E ₃	A ₀	A ₁	A ₂	0	1	2	3	4	5	6	7
H	X	X	X	X	X	H	H	H	H	H	H	H	H
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	L	X	X	X	H	H	H	H	H	H	H	H
L	L	H	L	L	L	L	H	H	H	H	H	H	H
L	L	H	H	L	L	H	L	H	H	H	H	H	H
L	L	H	H	H	L	H	H	L	H	H	H	H	H
L	L	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	L	L	H	H	H	H	L	H	H	H	H
L	L	H	L	H	H	H	H	H	H	L	H	H	H
L	L	H	L	H	H	H	H	H	H	H	L	H	H
L	L	H	L	H	H	H	H	H	H	H	H	L	H
L	L	H	L	H	H	H	H	H	H	H	H	H	L

TABLE DE VERITE

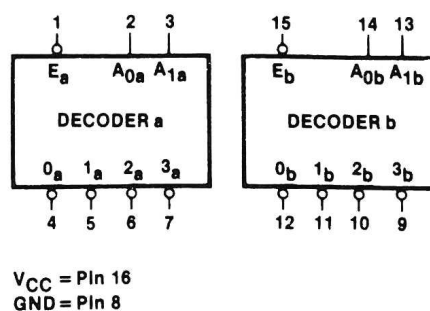
74 LS 138 (suite)

SYMBOLE
LOGIQUE



74 LS 139

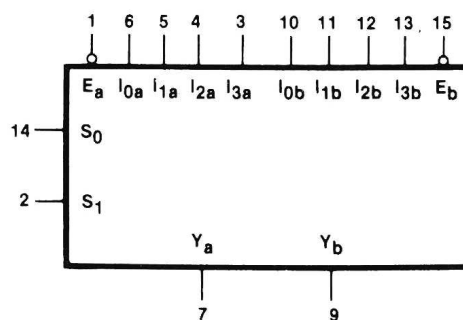
ENTREES			SORTIES			
$\bar{E}$	A_0	A_1	$\bar{0}$	$\bar{1}$	$\bar{2}$	$\bar{3}$
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	H	L	H	L	H	H
L	L	H	H	H	L	H
L	H	H	H	H	H	L



74 LS 153

SELECTIONS		ENTREES (a or b)						SORTIE
S_0	S_1	$\bar{E}$	I_0	I_1	I_2	I_3		Y
X	X	H	X	X	X	X		L
L	L	L	L	X	X	X		L
L	L	L	H	X	X	X		H
L	L	L	X	L	X	X		L
L	L	L	X	H	X	X		H
L	H	L	X	X	L	X		L
L	H	L	X	X	H	X		H
H	H	L	X	X	X	L		L
H	H	L	X	X	X	H		H

TABLE DE VERITE



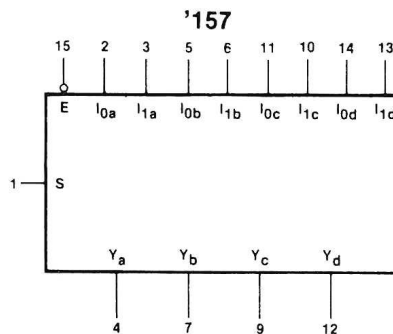
V_{CC} = Pin 16
GND = Pin 8

SYMBOLE LOGIQUE

74 LS 157

AUTORISATION	ENTREE SELECTION	DONNEE ENTREES		SORTIE
$\bar{E}$	S	I ₀	I ₁	Y
H	X	X	X	L
L	H	X	L	L
L	H	X	H	H
L	L	L	X	L
L	L	H	X	H

TABLE DE VERITE



SYMBOLE LOGIQUE

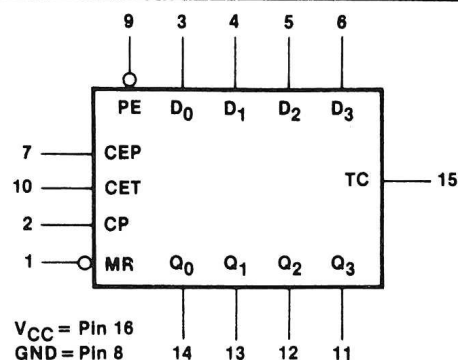
74 LS 160 - 74 LS 161 - 74 LS 162 - 74 LS 163

MODE	ENTREES						SORTIES	
	$\overline{MR}$	CP	CEP	CET	$\overline{PE}$	D _n	Q _n	TC
RAZ	L	X	X	X	X	X	L	L
chargement	H	↑	X	X	l	l	L	L
	H	↑	X	X	l	h	H	(a)
comptage	H	↑	h	h	h ^(c)	X	count	(a)
bloqué	H	X	l ^(b)	X	h ^(c)	X	q _n	(a)
	H	X	X	l ^(b)	h ^(c)	X	q _n	L

TABLE DE VERITE '160, '161

MODE	ENTREES						SORTIES	
	$\overline{MR}$	CP	CEP	CET	$\overline{PE}$	D _n	Q _n	TC
RAZ	l	↑	X	X	X	X	L	L
chargement	h ^(f)	↑	X	X	l	l	L	L
	h ^(f)	↑	X	X	l	h	H	(d)
comptage	h ^(f)	↑	h	h	h ^(f)	X	count	(d)
bloqué	h ^(f)	X	l ^(e)	X	h ^(f)	X	q _n	(d)
	h ^(f)	X	X	l ^(e)	h ^(f)	X	q _n	L

TABLE DE VERITE '162, '163

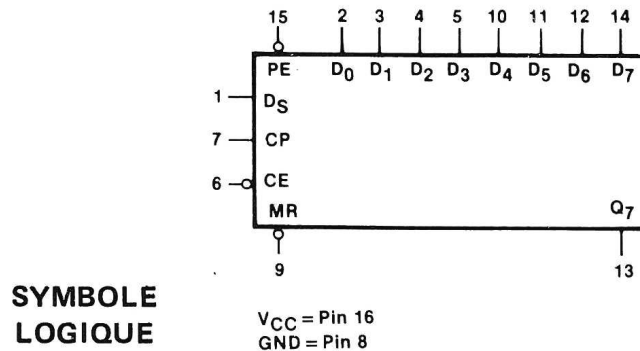


SYMBOLE LOGIQUE

74 LS 166

MODE	ENTREES					REGISTRE		SORTIE
	$\overline{PE}$	$\overline{CE}$	CP	D _S	D ₀ -D ₇	Q ₀	Q ₁ -Q ₆	Q ₇
chargement	l	l	↑	X	l-l	L	L-L	L
	l	l	↑	X	h-h	H	H-H	H
serialisation	h	l	↑	l	X-X	L	q ₀ -q ₅	q ₆
	h	l	↑	h	X-X	H	q ₀ -q ₅	q ₆
bloqué	X	h	X	X	X-X	q ₀	q ₁ -q ₆	q ₇

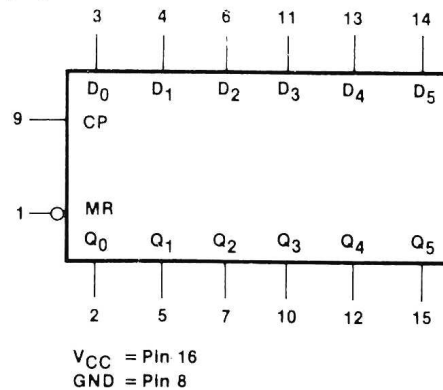
TABLE DE VERITE



74 LS 174

MODE	ENTREES			SORTIE
	$\overline{MR}$	CP	D _n	Q _n
RAZ	L	X	X	L
mise à 1	H	↑	h	H
mise à 0	H	↑	l	L

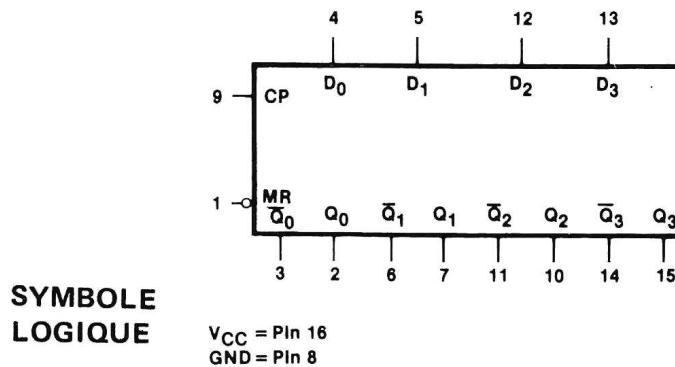
TABLE DE VERITE



74 LS 175

MODE	ENTREES			SORTIES	
	$\overline{MR}$	CP	D _n	Q _n	$\overline{Q}_n$
RAZ	L	X	X	L	H
mise à 1	H	↑	h	H	L
mise à 0	H	↑	l	L	H

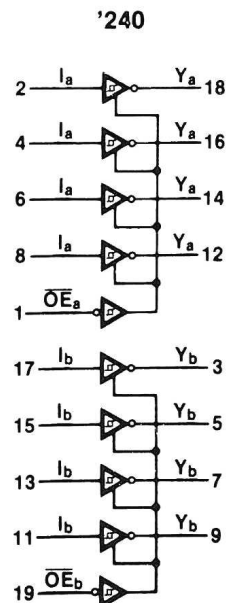
TABLE DE VERITE



74 LS 240

ENTREES				SORTIES	
$\overline{OE}_a$	I_a	$\overline{OE}_b$	I_b	$\overline{Y}_a$	$\overline{Y}_b$
L	L	L	L	H	H
L	H	L	H	L	L
H	X	H	X	(Z)	(Z)

TABLE DE VERITE

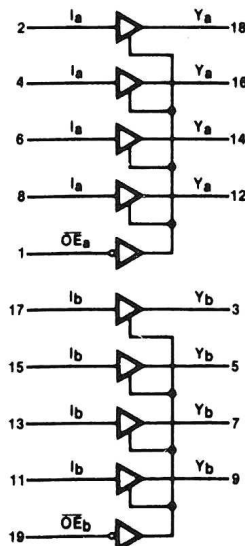


SYMBOLE LOGIQUE

74 LS 244

ENTREES				SORTIES	
$\overline{OE}_a$	I_a	$\overline{OE}_b$	I_b	Y_a	Y_b
L	L	L	L	L	L
L	H	L	H	H	H
H	X	H	X	(Z)	(Z)

TABLE DE VERITE

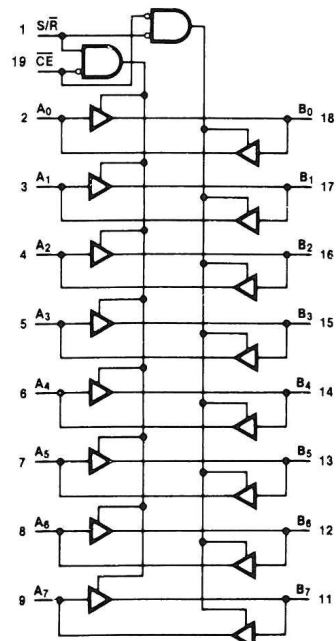


SYMBOLE LOGIQUE

74 LS 245

ENTREES		ENTREES/SORTIES	
$\overline{CE}$	$S/\overline{R}$	A_n	B_n
L	L	$A = B$	INPUTS
L	H	INPUT	$B = A$
H	X	(Z)	(Z)

TABLE DE VERITE

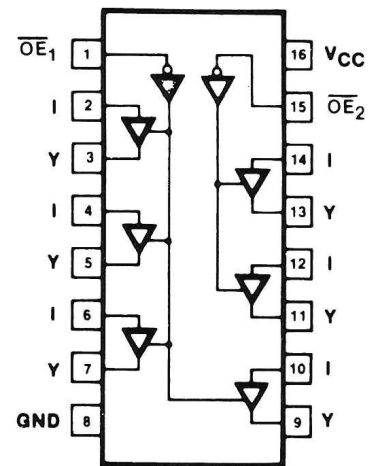


SYMBOLE LOGIQUE

74 LS 367

ENTREES		SORTIES	
$\overline{OE}$	I	Y	$\overline{Y}$
L	L	L	H
L	H	H	L
H	X	(Z)	(Z)

TABLE DE VERITE

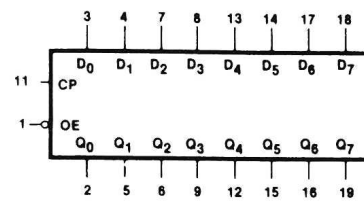


SYMBOLE LOGIQUE

74 LS 374

MODE	ENTREES			REGISTRE INTERNE	SORTIES Q_0-Q_7
	$\overline{OE}$	CP	D_n		
chargement et lect. registre	L	↑	l	L	L
	L	↑	h	H	H
chargement registre et fermeture sortie	H	↑	l	L	(Z)
	H	↑	h	H	(Z)

TABLE DE VERITE



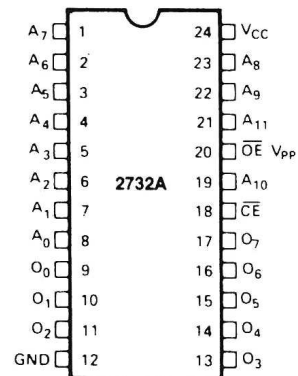
SYMBOLE LOGIQUE

V_{CC} = Pin 20
GND = Pin 10

REPROM 2732 A

A ₀ -A ₁₁	ADDRESSES
$\overline{CE}$	CHIP ENABLE
$\overline{OE}/V_{PP}$	OUTPUT ENABLE/ V_{PP}
O ₀ -O ₇	OUTPUTS

BROCHAGE



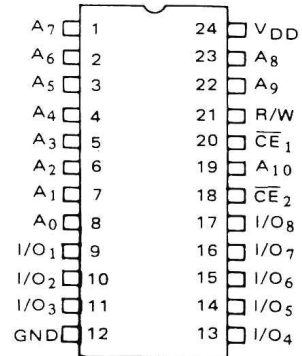
MODE \ Broche	$\overline{CE}$ (18)	$\overline{OE}/V_{PP}$ (20)	A ₉ (22)	V _{CC} (24)	Sorties (9-11,13-17)
Lecture	V _{IL}	V _{IL}	X	+5	D _{OUT}
Sortie en haute impéd.	V _{IL}	V _{IH}	X	+5	(Z)
Repos	V _{IH}	X	X	+5	(Z)
Programmation	V _{IL}	V _{PP}	X	+5	D _{IN}
Programmation interdite	V _{IH}	V _{PP}	X	+5	(Z)
Vérification	V _{IL}	V _{IL}	V _H	+5	Code

TABLE DE VERITE

RAM STATIQUE CMOS TC5516 AP/-2

BROCHAGE

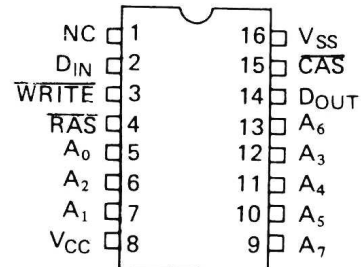
$A_0 \sim A_{10}$	Address Inputs
R/W	Read/Write Control Input
$\overline{CE}_1, \overline{CE}_2$	Chip Enable Inputs
$I/O_1 \sim I/O_8$	Data Input/Output
V_{DD}	Power (+5V)
GND	Ground



RAM DYNAMIQUE DE 65,536 MOTS DE 1 BIT - TMM4164P - 3

BROCHAGE

$A_0 \sim A_7$	Address Inputs
CAS	Column Address Strobe
D _{IN}	Data In
NC	No — Connection
D _{OUT}	Data Out
RAS	Row Address Strobe
WRITE	Read/Write Input
V _{CC}	Power (+5V)
V _{SS}	Ground



APPENDICE E

TABLEAU DES CHARGES DE LIGNE DU BUS Cn1

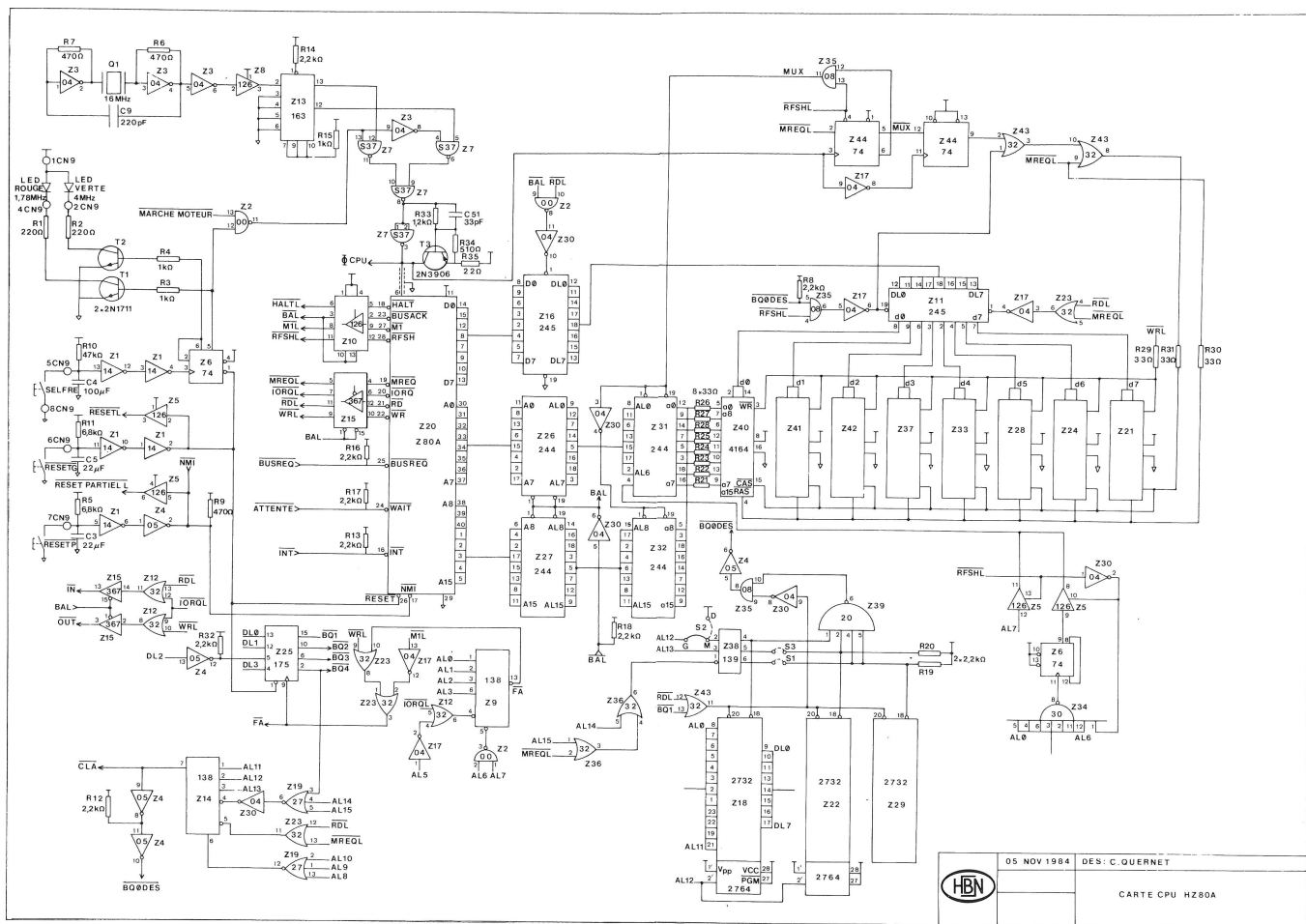
Signal	Buffer	Charge maxi	CPU	Mère	Disque	Vidéo
AL $\emptyset$	LS244	30	6	6	3	2
AL1	LS244	30	6	6	4	2
AL2	LS244	30	6	5	1	2
AL3	LS244	30	6	4	1	2
AL4	LS244	30	5	4	1	2
AL5	LS244	30	6	3	1	2
AL6	LS244	30	6	4	1	2
AL7	LS244	30	5	4	1	2
AL8	LS244	30	5		1	1
AL9	LS244	30	5		1	1
AL10	LS244	30	5		1	4
AL11	LS244	30	5		1	2
AL12	LS244	30	5		1	2
AL13	LS244	30	3		1	2
AL14	LS244	30	2		1	3
AL15	LS244	30	2		1	2
DL $\emptyset$	LS245	30	2	4	2	3
DL1	LS245	30	2	4	2	3
DL2	LS245	30	2	4	2	4
DL3	LS245	30	2	4	2	4
DL4	LS245	30	1	3	2	4
DL5	LS245	30	1	3	1	4
DL6	LS245	30	1	4	1	4
DL7	LS245	30	1	4	1	3
RESETL	LS126	30		1	5	4
HALTL	LS126	30				
MREQL	LS367	30	13		1	4
IORQL	LS367	30	3	2		2
$\emptyset$ CPU	S37	30	3	2		1
M1L	LS126	30	1	3		1
RFSHL	LS126	30	6			
BAL	LS126	30	4			
RESET PARTIEL	LS126	30				
WRL	LS367	30	10	3	1	4
RDL	LS367	30	5	2	2	1
CLA	LS138	10	1	4		
BQ2	LS175	10				1
BQ3	LS175	10				1
BQ4	LS175	10			1	
IN	LS367	30		3		
OUT	LS367	30		3		
FA	LS32	10	1			
RTC	NE555			1	2	

APPENDICE F

PLANS DU GUEPARD

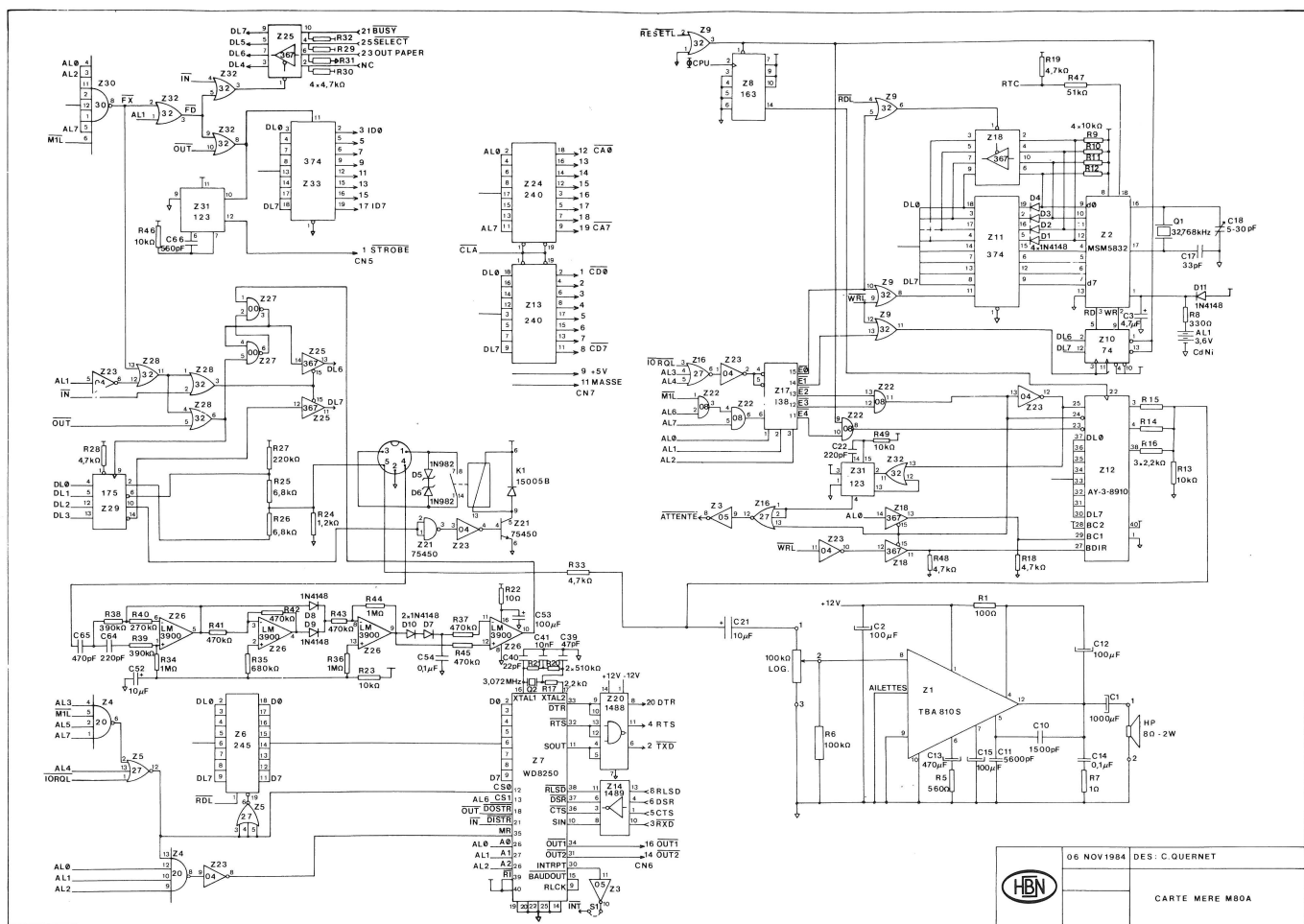
**PLAN DE LA
CARTE CPU HZ80A**

MT F-3



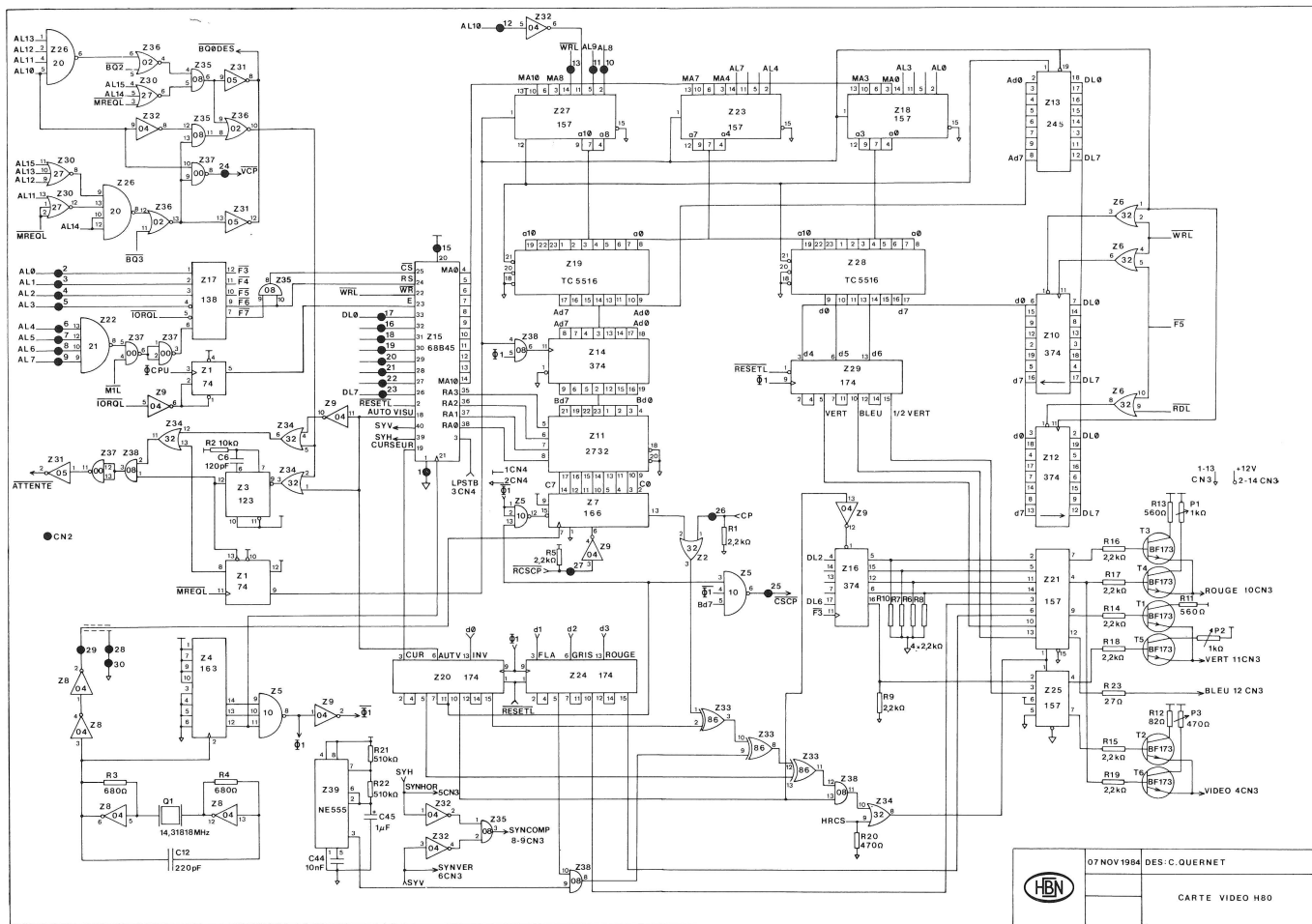
**PLAN DE LA
CARTE MERE M80A**

MT F-4



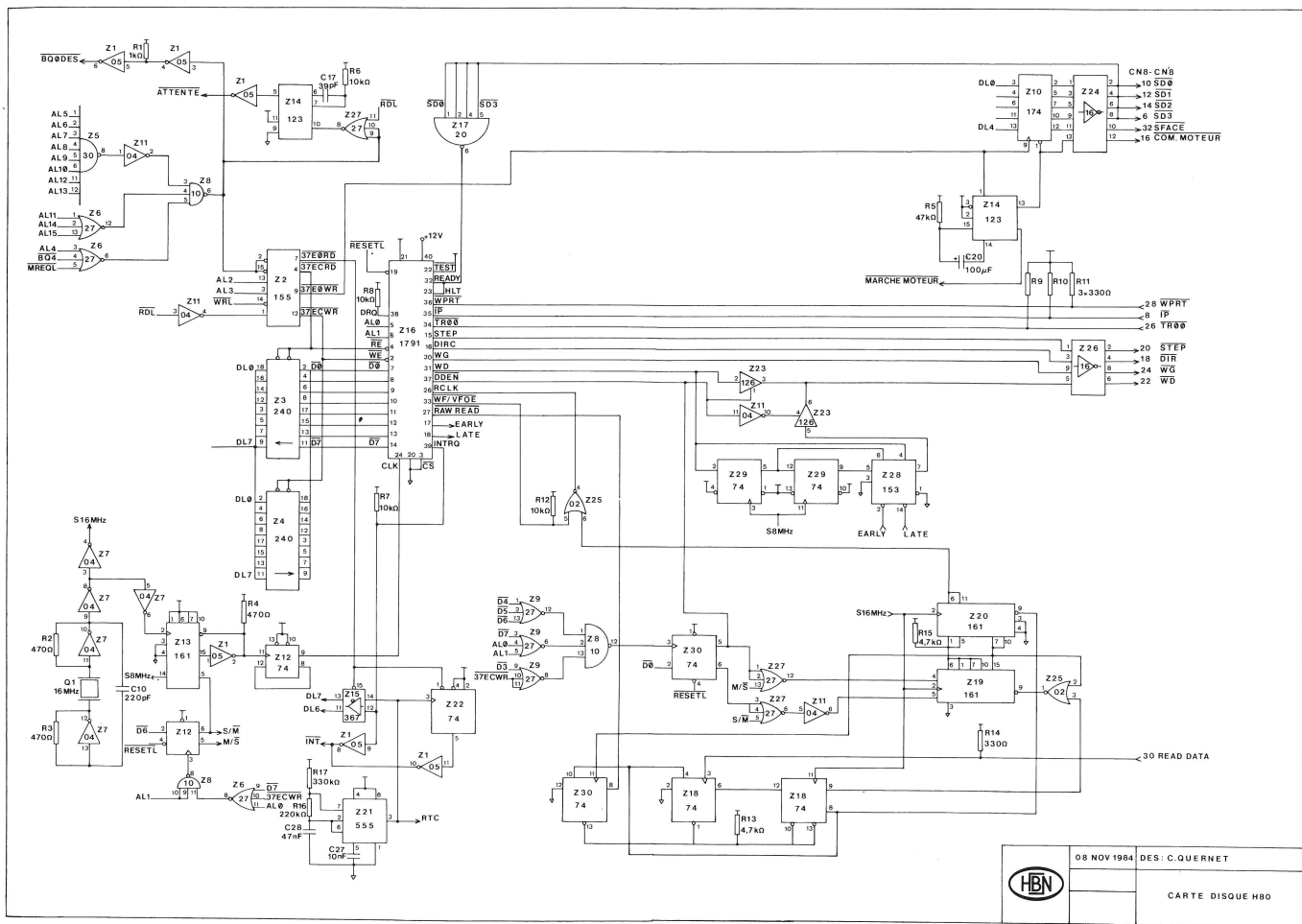
PLAN DE LA
CARTE VIDEO H80

MT F-5



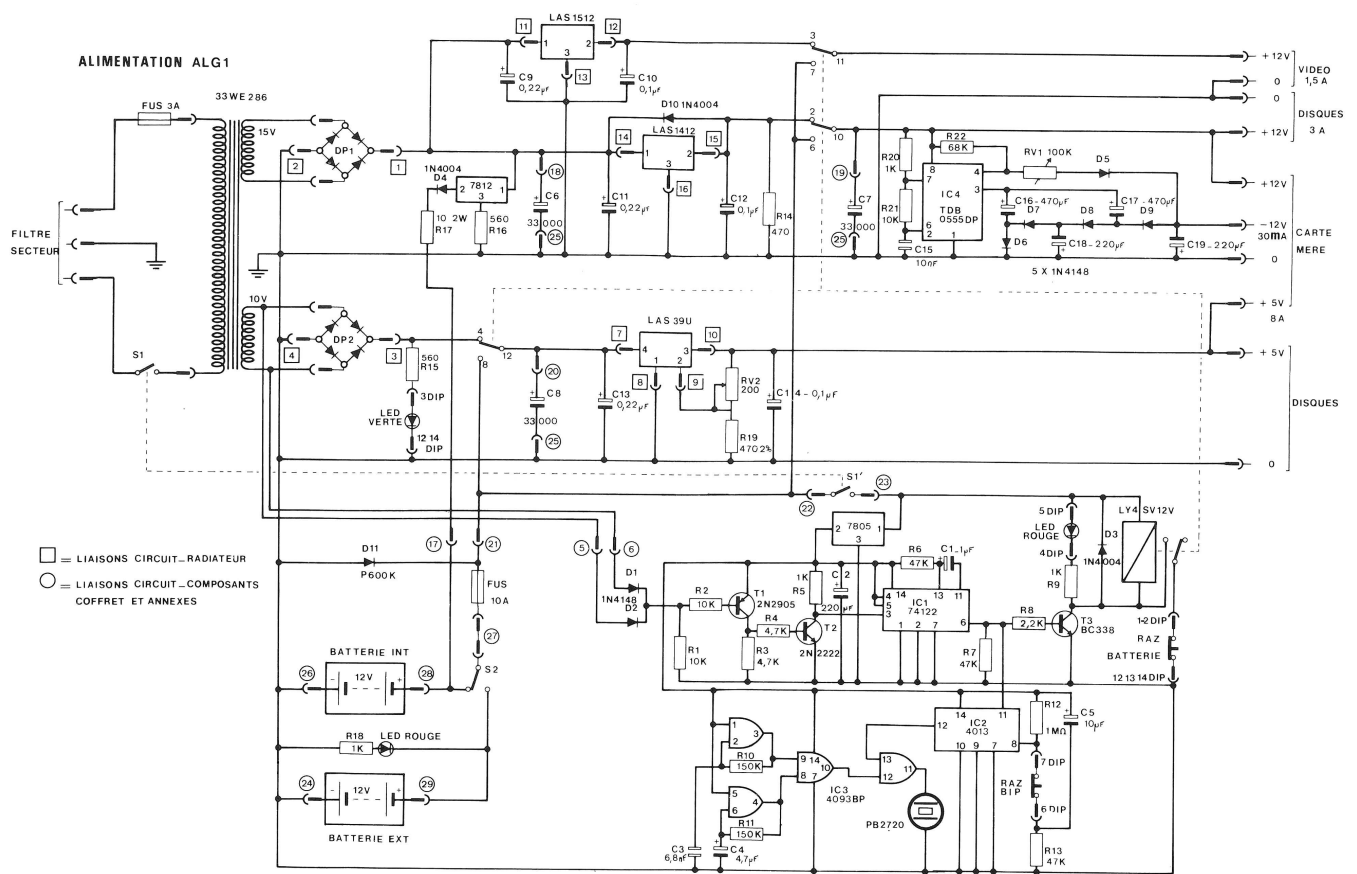
**PLAN DE LA
CARTE DISQUE H80.**

MT F-6

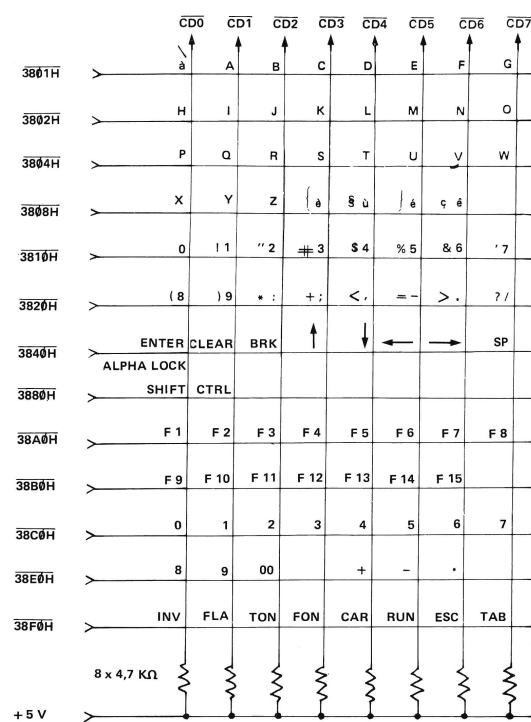


**PLAN DE LA
CARTE ALIMENTATION ALG1**

MT F-7



MATRICE CLAVIER DU GUEPARD



BIBLIOGRAPHIE

Linear Data Book - 1982 - NATIONAL
The Transistor and Diode Data Book - 1979 - TEXAS INSTRUMENT
The Voltage Regulator Handbook - 1977 - TEXAS INSTRUMENT
The Interface Circuit Data Book - 1981 - TEXAS INSTRUMENT
Data Book Transistor - 1975 / 76 - SGS
Data Book - Linear Circuits - 1978 - SGS
Data Book - Mos Memory Products - 84 - 4 - TOSHIBA
Microélectronics Data Catalog - 1982 - GENERAL INSTRUMENT
Data Book - 1983 - ZILOG
Memory Components Handbook - 1983 - INTEL
Data Communications - Products Handbook - 1984 - WESTER DIGITAL
Storage Management - Products Handbook - 1984 - WESTER DIGITAL
Catalogue - Produit - 1982 - LAMBDA
Microprocessor Real - Time - 1983 - OKI
Logique TTL - 1982 - RTC
Microprocesseurs et mémoires - 1983 - THOMSON - EFCIS
Microcomputer Components - 1979 - MOTOROLA

